

Модуль ввода-вывода КМ104

Руководство пользователя

АО КАСКОД

2000

Санкт-Петербург

АО КАСКОД

196625, Санкт-Петербург, Павловск, Филътровское шоссе, 3

тел.: (812) 476-0795, (812) 466-5784, факс: (812) 465-3519

E-mail : cascod@online.ru
 kaskod@spb.cityline.ru

<http://www.kaskod.ru>

Принятые сокращения

АЦП	–	Аналого-цифровой преобразователь
ОЗУ (RAM)	–	Оперативное запоминающее устройство
ПЗУ (ROM)	–	Постоянное запоминающее устройство
CAN	–	Контроллер CAN сети (Controller Area Network)
ШИМ (PWM)	–	Широтно-импульсная модуляция (Pulse Width Modulation)
GPT	–	Блок таймеров (General Purpose Timer unit)
nc	–	Свободный контакт
GND	–	Общий провод питания
VCC	–	Напряжение питания +5 вольт
Res	–	Сигнал “Сброс”
NMI	–	Немаскируемое прерывание
лог.1	–	Уровень логической единицы
лог.0	–	Уровень логического нуля
SPWM	–	Блок широтно-импульсной модуляции
PWM	–	Блок быстрой широтно-импульсной модуляции
ЦАП	–	Цифро-аналоговый преобразователь
IRQ	–	Запрос прерывания
Б.А.	–	Базовый адрес
MUX	–	Мультиплексор
103Fh	–	Запись в шестнадцатеричном формате

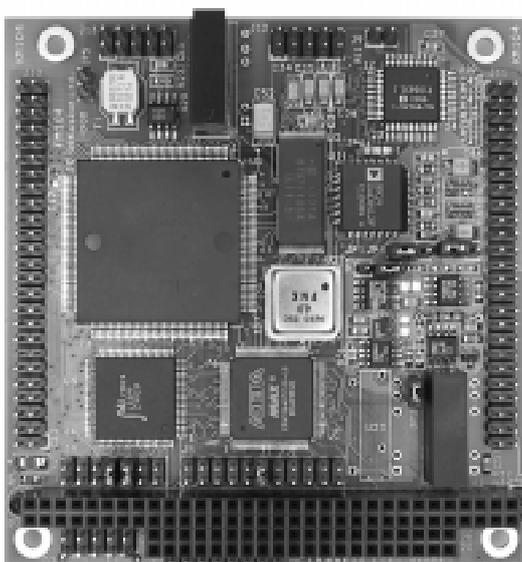
Содержание	Страница
1. Назначение.....	6
2. Технические характеристики	7
3. Структурная схема модуля	8
4. Выбор базового адреса доступа к модулю KM104	10
5. Установка векторов прерывания	11
6. Алгоритм обращение к ресурсам модуля	12
7. Цифровые порты ввода-вывода	14
8. Блоки таймеров общего назначения	22
Блок GPT1	22
Блок GPT2	29
9. Блок широтно импульсной модуляции (SPWM)	36
10. Блок быстрой широтно импульсной модуляции (PWM)	48
11. 10-ти разрядный АЦП	55
12. 12-ти разрядный АЦП	60
13. ЦАП	64
14. CAN	67
15. Общее описание регистров	68
16. Общее описание команд	71
17. Протокол обмена по шине PC104	76
18. Сброс	81
19. Питание модуля	81
20. Внешние разъемы и переключатели	82
21. Комплект поставки	88
22. Варианты исполнения контроллера	88
23. Габаритные и установочные размеры	89
24. Приложения	90

1. Назначение

Модуль KM104 предназначен для построения прецизионных цифровых и аналоговых систем :

- систем управления электродвигателями различных типов,
- систем питания различных типов,
- следящих систем,
- систем управления и синхронизации энергетических объектов,
- систем сбора и обработки информации,
- распределенных систем управления и т.д.

Общий вид модуля KM104 представлен на рисунке.



**Внешний вид
модуля KM104**

2. Технические характеристики

- Модуль ввода-вывода в формате PC/104 (размер платы 90 x 96 мм).
- 16 каналов 10-разрядного аналого-цифрового преобразователя (АЦП), которые могут использоваться как входы цифрового ввода. Время преобразования для одного канала АЦП – смотри формулу ниже.
Входные напряжения – 0 В - 5 В.
Входное сопротивление программируется.
Размер буфера АЦП 2 Кбайт (128 байт на каждый канал).
- 45 универсальных цифровых портов ввода-вывода.
- АЦП 8 каналов, 12-бит, время преобразования – смотри формулу ниже.
(только для KM104ADXX).
Размер буфера АЦП 1 Кбайт (128 байт на каждый канал).
Для каждого из входов АЦП возможен отдельный выбор диапазона входного напряжения:
а) $\pm 5В$ б) $\pm 10 В$.
Входное сопротивление не менее 15 КОм для $\pm 10 В$ диапазона, не менее 7,5 КОм для $\pm 5 В$ диапазона.
- ЦАП 4 канала, 12-бит, время преобразования – смотри формулу ниже
0 В - 10 В, $\pm 5 В$, $\pm 10 В$ (только для KM104XXDA)
0 В - -10 В, 0 В - 5 В, -5 В - 0 В. $R_{нmin} = 2 КОм$.
Выходной ток каждого канала ЦАП не более 5 мА.
- 24 канала формирования цифровых сигналов с разрешением 400 нс.
- 4-х канальный блок формирования ШИМ с разрешением 50 нс.
- Возможность установки номера прерывания.
- Возможность установки базового адреса.
- Семь 16-разрядных таймеров-счетчиков.
- Оптоизолированный CAN интерфейс (спецификация 2.0 В).
- 16-разрядный шинный интерфейс PC/104, позволяющий подключать различные модули в формате PC/104.
- Питание от одного источника +5 В.
- Диапазон рабочих температур: 0°C - +70°C, (- 40°C - +85°C – по заказу).

Минимальное время преобразования для 12-разрядного АЦП, 10-разрядного АЦП и любого канала ЦАП при совместном или отдельном использовании вычисляется по формуле:

$$t_{\text{преобраз}} = 10 * (\text{АЦП}_{12}) + 10 * (\text{АЦП}_{10}) + 6 * (\text{Канал А}_{\text{цап}}) + \\ 6 * (\text{Канал В}_{\text{цап}}) + 6 * (\text{Канал С}_{\text{цап}}) + 6 * (\text{Канал D}_{\text{цап}}) \quad (\text{мкс})$$

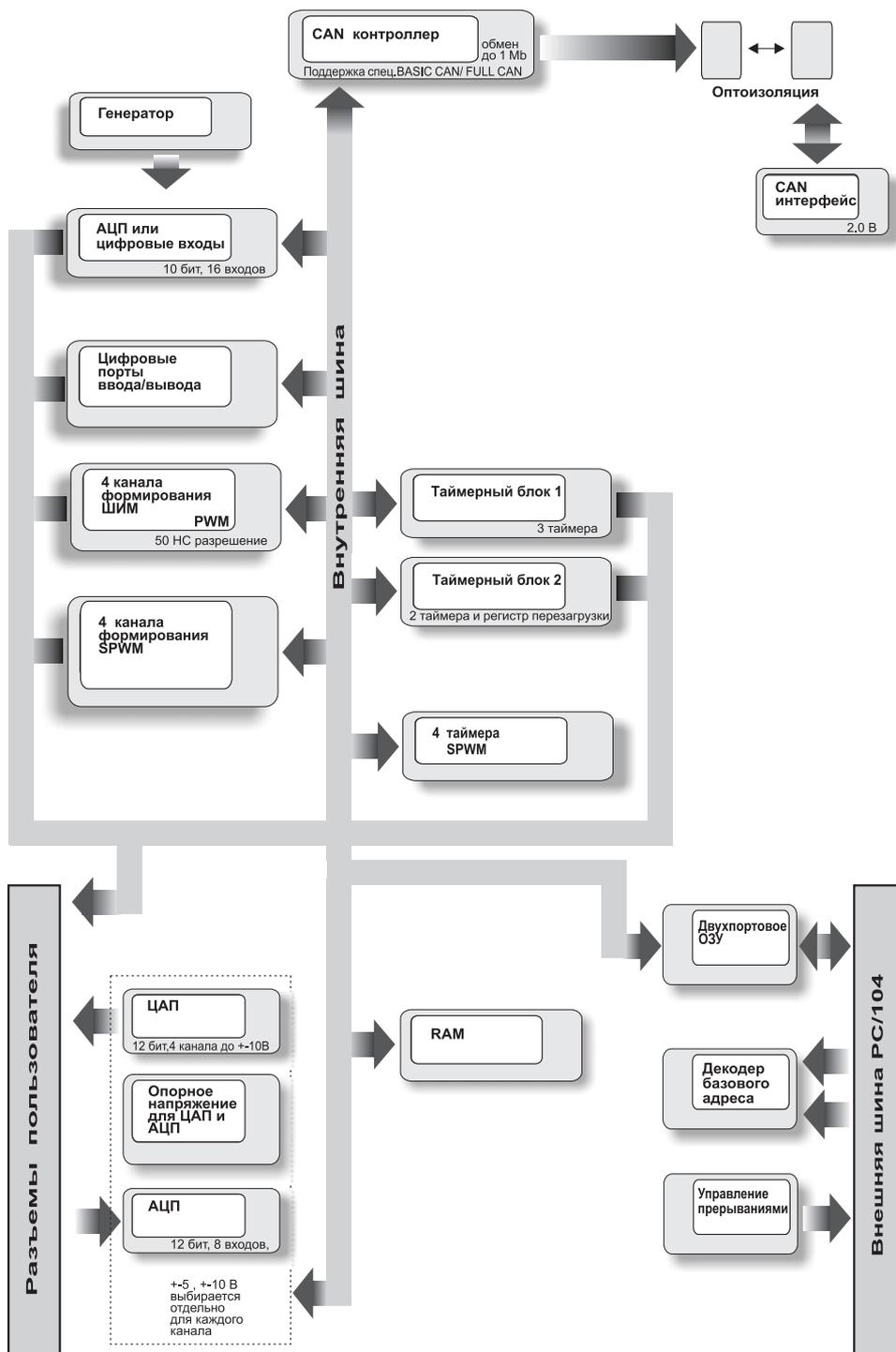
Значения в скобках: 1 – устройство используется,
0 – устройство не используется.

В модуле наивысший приоритет имеет 12-разрядный АЦП, затем 10-разрядный АЦП и ЦАП. При некорректной или неверной установке времени преобразования устойчивая работа модуля не гарантируется.

Существует возможность увеличения скорости работы АЦП и ЦАП за счет других устройств. При необходимости увеличения скорости обращайтесь к разработчику.

3. Структурная схема модуля

Структурная схема модуля приведена на рисунке.



Модуль **KM104** состоит из следующих устройств:

Генератор – формирует тактовую частоту 20 МГц.

Цифровые порты ввода-вывода – служат для формирования или обработки внешних цифровых сигналов управления.

10 разрядный АЦП – 16-канальный аналого-цифровой преобразователь. Может работать в следующих режимах:

- режим однократного преобразования для одного выбранного канала;
- режим повторяющегося преобразования для одного выбранного канала;
- режим однократного преобразования для каждого канала из выбранной группы;
- режим повторяющегося преобразования для выбранной группы каналов.

12-разрядный АЦП – 8 канальный аналого-цифровой преобразователь. Может работать в следующих режимах:

- режим повторяющегося преобразования для одного выбранного канала;
- режим повторяющегося преобразования выбранной группы каналов.

ЦАП – 4 канальный 12-разрядный цифро-аналоговый преобразователь. Позволяет формировать выходное напряжение от минус 10 до + 10 вольт.

PWM – 4-канальный 50-ти наносекундный блок формирования ШИМ. Может работать в следующих режимах:

- режим стандартного генератора ШИМ;
- режим генератора симметричного ШИМ;
- режим модуляции одного канала другим;
- режим программного формирования одиночного импульса.

SPWM – состоит из 2-х узлов. Каждый блок состоит из 12 регистров сравнения, 2-х таймеров и 4-х регистров управления. Узлы SPWM позволяют формировать до 24 независимых каналов ШИМ. Для каждого регистра сравнения устанавливается один из режимов работы:

- режим сравнения 0;
- режим двухрегистрового сравнения;
- режим сравнения 1;
- режим сравнения 3.

GPT – состоит из двух блоков таймеров общего назначения (GPT1 и GPT2).

Состав блока таймеров GPT1: три 16-разрядных таймера T2, T3 и T4. Каждый таймер может работать в следующих режимах:

- режим таймера;
- режим счетчика;
- режим каскадирования таймера T3 с одним из таймеров T2 или T4. Образуется 32-разрядный или 33-разрядный таймер.

Каждый таймер может вести счет на увеличение и на уменьшение.

Состав блока таймеров GPT2: два 16-разрядных таймера T5, T6 и регистр перезагрузки.

Каждый таймер может работать в следующих режимах:

- режим таймера;
- режим счетчика;
- режим каскадирования таймеров T5 и T6. Образуется 32-разрядный или 33-разрядный таймер.

Каждый таймер может вести счет на увеличение и на уменьшение.

CAN контроллер – оптоизолированный CAN интерфейс, версия 2.0 В.

ОЗУ – оперативное запоминающее устройство, в котором располагаются:
– буферы хранения данных.

4. Выбор базового адреса доступа к модулю КМ104

Модуль ввода-вывода КМ104 подключается по шине РС104 в область портового пространства РС-совместимого устройства.

Для выбора базового адреса необходимо установить переключки на разъеме J4.

Базовый адрес определяется следующим образом:

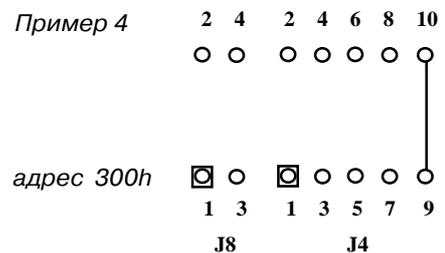
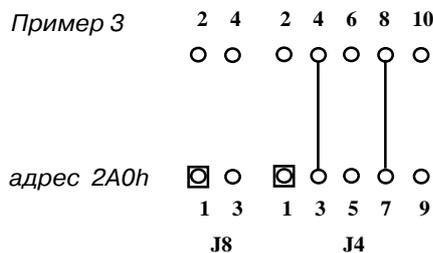
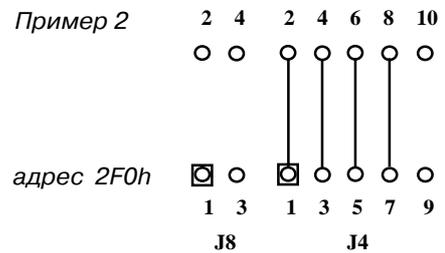
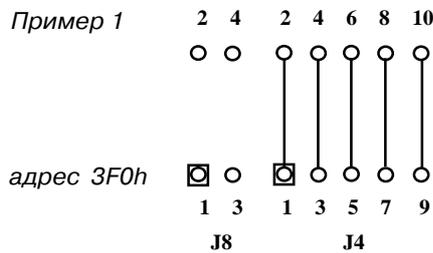
Адрес	A9	A8	A7	A6	A5	A4
Базовый адрес	1	выбор адреса переключками на плате				

Применение различных комбинаций младших адресов A1, A2, A3 определяют различные сигналы обращения к двухпортовому ОЗУ.

При отсутствии переключек на разъеме J4 все входы адресного дешифратора установлены в 0.

Установка переключек приводит к установке соответствующего бита в 1.

Примеры:

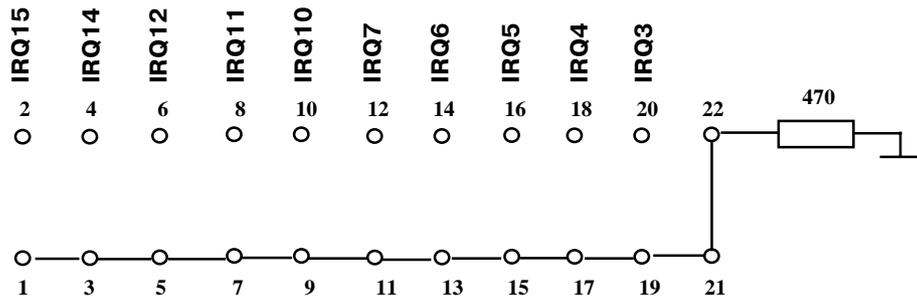


Применение различных комбинаций младших адресов A1, A2, A3 определяют различные сигналы обращения к двухпортовому ОЗУ.

Адрес	A9...A4	A3	A2	A1
Б.А. + 0	Б.А	0	0	0
Б.А. + 8	Б.А	1	0	0
Б.А. + 10	Б.А	1	0	1
Б.А. + 12	Б.А	1	1	0
Б.А. + 14	Б.А	1	1	1

5. Установка векторов прерывания

Выбор вектора прерывания осуществляется установкой перемычек на разъеме J5.



Для выбора необходимого вектора прерывания устанавливается соответствующая перемычка

Например:

При установке перемычки между контактами 1 и 2 запрос прерывания 15 будет выдан:

- при готовности 10-разрядного и 12-разрядного буферов АЦП,
- при выдаче последнего байта буфера DAC (ЦАП),
- при выполнении команды.

При необходимости корректировки запросов прерываний от модуля обращайтесь к разработчику.

Снятие запроса прерывания происходит со стороны РС. При любом обращении к двухпортовому ОЗУ модуля KM104 по Б.А. или по Б.А. + ... происходит снятие запроса прерывания.

6. Алгоритм обращения к ресурсам модуля

Модуль ввода-вывода КМ104 подключается по шине PC104.

Модуль подключается в область портового пространства PC-совместимого устройства.

В качестве интерфейса обмена служит двухпортовое ОЗУ.

Со стороны шины PC104 осуществляется стандартный последовательный доступ.

Б.А. – базовый адрес

По сбросу модуля обращение к 0 ячейке двухпортового ОЗУ не гарантируется.

По сбросу двухпортового ОЗУ устанавливается обращение к 0 ячейке.

	ASM	СИ
Запись номера ячейки по адресу (Б.А.+14) Установка конкретного адреса ячейки двухпортового ОЗУ	<pre>MOV AX, ADDRIDT MOV DX, BASEADDR+14 OUT DX, AX</pre>	<pre>VOID WRADDRIDT(INT ADDRIDT) { OUTPW(BASEADDRESS+14, ADDRIDT); }</pre>
Считывание данных по адресу Б.А. Считывание данных из предварительно установленной ячейки двухпортового ОЗУ	<pre>MOV DX, BASEADDR IN AX, DX</pre>	<pre>INT RDW() { UNSIGNED INT DATA; DATA=INPW(BASEADDRESS); RETURN DATA; }</pre>
Запись данных по адресу Б. А. Запись данных в предварительно установленную ячейку двухпортового ОЗУ	<pre>MOV AX, DATA MOV DX, BASEADDR OUT DX, AX</pre>	<pre>VOID WRW (INT DATA) { OUTPW(BASEADDRESS, DATA); RDW(); }</pre>
Считывание данных по адресу (Б.А.+8) Считывание данных из предварительно установленной ячейки двухпортового ОЗУ с инкрементом	<pre>MOV DX, BASEADDR+8 IN AX, DX IN AX, DX IN AX, DX необходимое число раз Пример 1</pre>	<pre>RDWINC – считывание 1 данных RDWINC – считывание 2 данных RDWINC – считывание n данных { UNSIGNED INT DATA; DATA=INPW(BASEADDRESS+8); RETURN DATA; }</pre>
Запись данных по адресу (Б. А.+8) Запись данных в предварительно установленную ячейку двухпортового ОЗУ с инкрементом	<pre>MOV AX, DATA MOV DX, BASEADDR+8 OUT DX, AX *) – при необходимости</pre>	<pre>VOID WRWINC (INT DATA) { OUTPW(BASEADDRESS+8, DATA); RDW(); } *) – при необходимости</pre>

<p>Запись любого числа по адресу (Б. А.+12) приводит к сбросу модуля</p> <p>Длительность процедуры сброса модуля не менее 100 миллисекунд</p>	<pre>MOV DX, BASEADDR+12 OUT DX, AX</pre>	<pre>VOID RESET() { OUTPW(BASEADDRESS+12, 0); }</pre>
<p>Запись любого числа по адресу (Б. А.+10) приводит к сбросу двухпортового ОЗУ</p> <p>По сбросу устанавливается обращение к 0 ячейке</p> <p>Счетчик двухпортового ОЗУ устанавливается в 0</p>	<pre>MOV DX, BASEADDR+10 OUT DX, AX</pre>	
	<p>*) – при необходимости, означает, что возможно:</p> <p>1) Произвести один цикл записи</p> <p>2) Произвести несколько циклов записи</p>	<p>*) – при необходимости, означает, что возможно:</p> <p>1) Произвести один цикл записи WRW();</p> <p>2) Произвести несколько циклов записи WRWINC(); WRWINC();</p>

Пример 1

Считывание из трех ячеек двухпортового ОЗУ, начиная с 88 ячейки:

- записать адрес (номер) 88 ячейки
- считать данные по адресу (Б.А.+8)
- считать данные по адресу (Б.А.+8)
- считать данные по адресу (Б.А.+8)

Алгоритм записи и чтения команд смотри главу 17 «Протокол обмена по шине PC104» стр. 76 .

7. Цифровые порты ввода-вывода

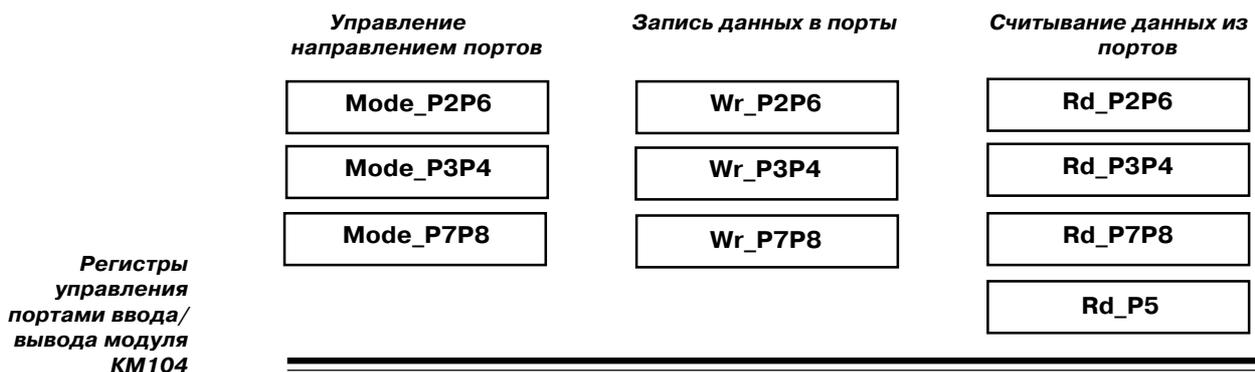
Для формирования или обработки внешних цифровых сигналов управления модуль содержит 61 цифровой канал ввода/вывода, которые организованы следующим образом: два 12-битовых порта ввода/вывода (порт 2, порт 3), два 8-битовых порта ввода/вывода (порт 7, порт 8), один 3-битовый порт ввода/вывода (порт 6), один 2-битовый порт ввода/вывода (порт 4) и один 16-битовый порт ввода (порт 5).

Эти порты могут использоваться для обычного ввода/вывода, управляемого программным путем, и могут использоваться для альтернативных функций.

Каналы ввода/вывода индивидуально программируются на ввод или на вывод через регистры направления (кроме 5-го порта). Порты ввода/вывода – двунаправленные порты и включаются в высокоимпедансное состояние при установке на ввод.

После записи в порт логическое состояние порта фиксируется в выходном регистре порта независимо от того, был ли порт сконфигурирован на ввод или на вывод. Во время операции чтения непосредственно фиксируется логическое состояние вывода порта.

После записи в порт, установленный на вывод ($DPx.y='1'$), записываемое значение фиксируется в выходном регистре порта. При этом вывод порта находится в том же логическом состоянии, поскольку выходной буфер открыт. Во время чтения этого порта возвращается значение выходного регистра.



Дополнительные режимы портов

Некоторые выводы порта имеют связанный с ним дополнительный режим работы.

Порты 2, 7 и 8 связаны с выходами блока формирования ШИМ (PWM).

Порт 3 включает в себя дополнительные режимы ввода/вывода для таймеров.

Порт 5 используется для ввода аналоговых сигналов АЦП или для управления таймерами.

В случае выбора дополнительного режима порта на вывод направление ввода/вывода необходимо установить на вывод ($DPx.y='1'$). В противном случае выход порта остается в высокоимпедансном состоянии и не обеспечивает необходимых функций. Соответствующий регистр порта должен находиться в состоянии лог. '1', так как его выходной сигнал находится в логическом "И" с сигналом дополнительного режима порта (кроме выходных ШИМ сигналов).

Если дополнительный режим порта используется при вводе сигнала, направление порта должно быть запрограммировано на ввод ($DPx.y='0'$).

После сброса направление порта устанавливается на ввод по умолчанию.

При использовании дополнительных режимов портов направление ввода/вывода этих портов управляется пользовательской программой, которая производит установку или очистку бита направления $DPx.y$ соответствующего порта.

Все выводы порта, которые не используются для реализации дополнительных режимов, могут использоваться для операций ввода/вывода.

При установке порта на вывод начальное значение порта должно быть записано в регистр порта перед установкой направления порта, для того чтобы избежать дребезга сигнала на выводе порта.

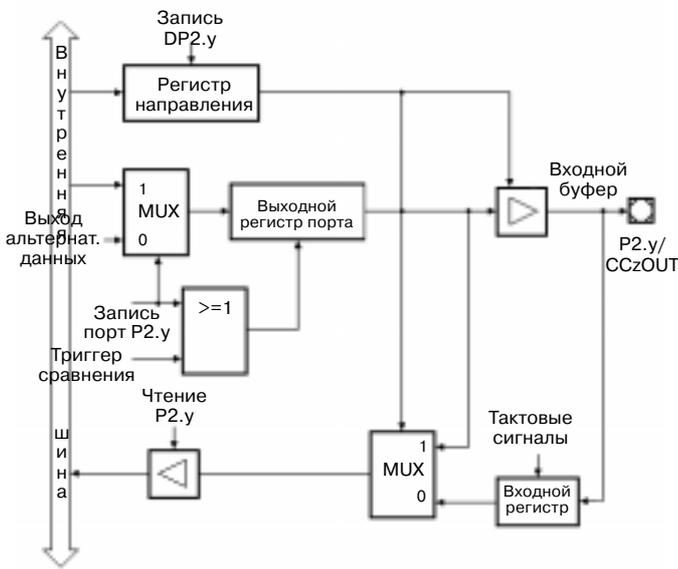
Это относится как к одиночным выходам, так и к группе выходов.

Порт 2

Порт 2 – 12-битовый порт ввода/вывода с дополнительной возможностью подключения к блоку SPWM (блок формирования импульсных сигналов). В режиме обычного ввода/вывода направление каждого канала порта 2 устанавливается соответствующим регистром направления DP2.

Дополнительные режимы порта 2

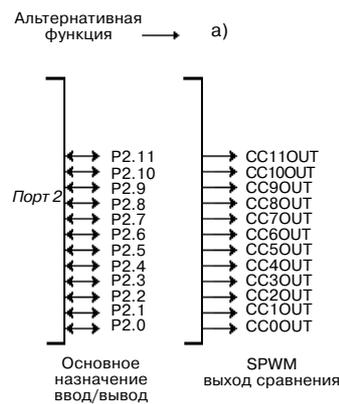
Все каналы порта 2 (P2.11...P2.0) могут быть установлены как выходы сравнения (CC11OUT...CC0OUT) блока SPWM.



Порт 2

Таблица

Вывод порта 2	Альтернативная функция
P2.0	CC0OUT
P2.1	CC1OUT
P2.2	CC2OUT
P2.3	CC3OUT
P2.4	CC4OUT
P2.5	CC5OUT
P2.6	CC6OUT
P2.7	CC7OUT
P2.8	CC8OUT
P2.9	CC9OUT
P2.10	CC10OUT
P2.11	CC11OUT



Режимы работы порта 2

Rd_P2P6 Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	P6.7	P6.6	P6.5	P2.11	P2.10	P2.9	P2.8	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Бит	Функция
P2.y	Регистр данных порта P2 при чтении

Wr_P2P6 Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	P6.7	P6.6	P6.5	P2.11	P2.10	P2.9	P2.8	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Бит	Функция
P2.y	Регистр данных порта P2 при записи

Mode_P2P6 Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	DP.6.7	DP.6.6	DP.6.5	DP.2.11	DP.2.10	DP.2.9	DP.2.8	DP.2.7	DP.2.6	DP.2.5	DP.2.4	DP.2.3	DP.2.2	DP.2.1	DP.2.0
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

Бит	Функция
DP2.y	Регистр направления порта DP2 бит y DP2.y = 0 : Канал порта P2.y является входным (high-impedance) DP2.y = 1 : Канал порта P2.y является выходным

Порт 3

Порт 3 – 12-битовый порт ввода/вывода. В режиме ввода/вывода направление каждого канала порта 3 задаётся соответствующими битами регистра Mode_P3P4.

Дополнительные режимы порта 3

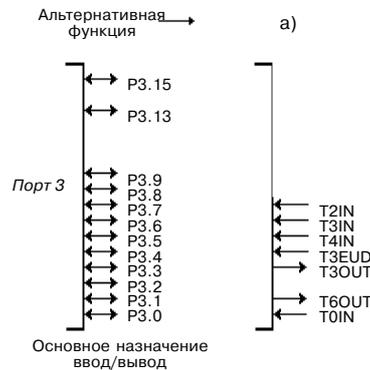
Порт 3 дополнительно поддерживает режимы формирования сигналов для внутренних таймеров модуля. Структура порта 3 зависит от установленного режима.

Дополнительными функциями ввода порта 3 являются : T0IN, T2IN, T3IN, T4IN, T3EUD.

В дополнительных режимах вывода внутренняя периферия модуля подключается через цепь “альтернативный выход данных” к логическому элементу И, на второй вход которого поступает сигнал выходного регистра порта. При использовании дополнительных режимов выхода пользователь должен установить направление соответствующего канала порта на вывод (DP3.y=1), и так же установить выходной регистр порта (P3.y=1).

В противном случае вывод порта остаётся в высокоимпедансном состоянии (когда установлен на ввод) или остаётся в состоянии лог.0 (когда выходной регистр порта очищен). Когда дополнительные режимы вывода не используются, канал “альтернативный выход данных” находится в состоянии лог.1. Дополнительными режимами вывода порта 3 являются : T6OUT и T3OUT.

В дополнительных режимах, связанных с вводом/выводом, направление портов устанавливается в соответствии с выбранным текущим режимом.



Вывод порта 3	Альтернативная функция	
P3.0	T0IN	SPWM Таймер 0 Вход тактовых импульсов
P3.1	T6OUT	Таймер 6 Выходной сигнал переполнение/исчерпание регистра данных Т6
P3.2	T3OUT	Таймер 3 Выходной сигнал переполнение/исчерпание регистра данных Т3
P3.3		
P3.4	T3EUD	Таймер 3 Внешний вход управления направлением счета
P3.5	T4IN	Таймер 4 Вход тактовых импульсов
P3.6	T3IN	Таймер 3 Вход тактовых импульсов
P3.7	T2IN	Таймер 2 Вход тактовых импульсов
P3.8		
P3.9		
P3.13		
P3.15		

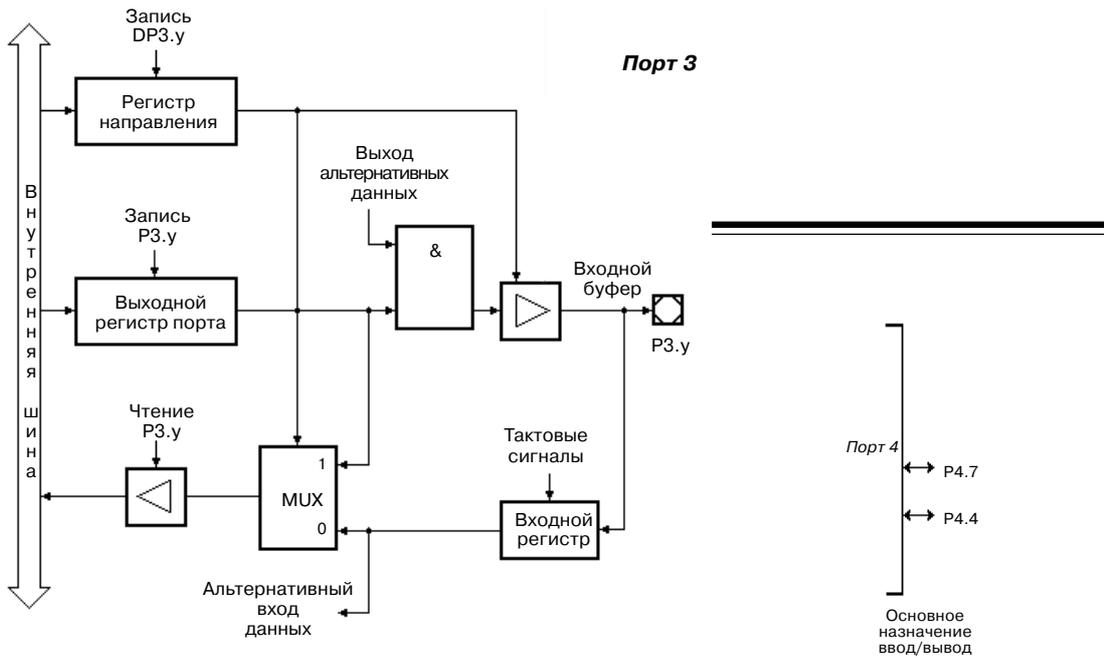
Режимы работы порта 3

Rd_P3P4																Значение после сброса: XXXX _n															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P3	P4	P3	P4	-	-	P3	P4	P3	P4	-	-	P3																			
.15	.7	.13	.4			.9	.8	.7	.6	.5	.4	.3	.2	.1	.0	.15	.7	.13	.4			.9	.8	.7	.6	.5	.4	.3	.2	.1	.0
r	r	r	r	-	-	r	r	r	r	r	r	r	r	r	r	w	w	w	w	-	-	w	w	w	w	w	w	w	w	w	

Wr_P3P4																Значение после сброса: XXXX _n															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P3	P4	P3	P4	-	-	P3	P4	P3	P4	-	-	P3																			
.15	.7	.13	.4			.9	.8	.7	.6	.5	.4	.3	.2	.1	.0	.15	.7	.13	.4			.9	.8	.7	.6	.5	.4	.3	.2	.1	.0
w	w	w	w	-	-	w	w	w	w	w	w	w	w	w	w	w	w	w	w	-	-	w	w	w	w	w	w	w	w		

Mode_P3P4																Значение после сброса: XXXX _n															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DP	DP	DP	DP	-	-	DP	DP	DP	DP	-	-	DP																			
3.15	4.7	3.13	4.4			3.9	3.8	3.7	3.6	3.5	3.4	3.3	3.2	3.1	3.0	3.15	4.7	3.13	4.4			3.9	3.8	3.7	3.6	3.5	3.4	3.3	3.2	3.1	3.0
w	w	w	w	-	-	w	w	w	w	w	w	w	w	w	w	w	w	w	w	-	-	w	w	w	w	w	w	w	w		

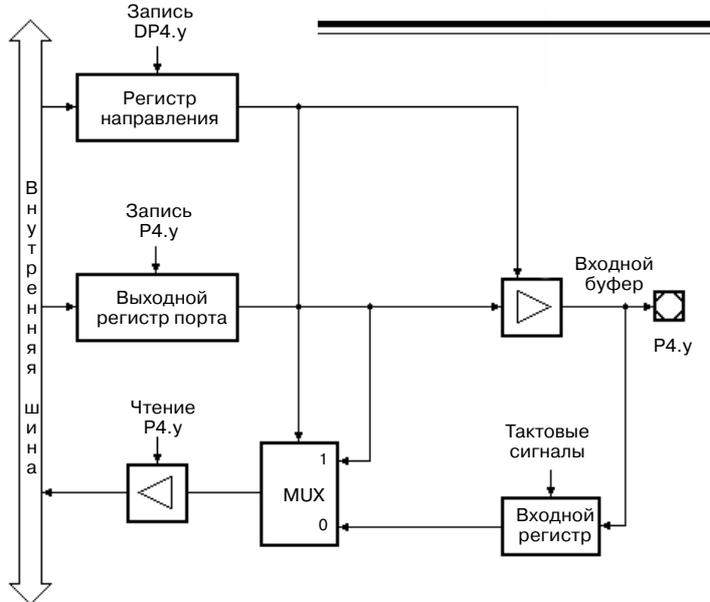
Бит	Функция
P3.y	Регистр данных порта P3 при чтении
P3.y	Регистр данных порта P3 при записи
DP3.y	Регистр направления порта DP3 бит y DP3.y = 0: Канал порта P3.y является входным (high-impedance) DP3.y = 1: Канал порта P3.y является выходным



Режимы работы порта 4

Порт 4

Порт 4 – двунаправленный порт ввода/вывода. В режиме ввода/вывода направление выводов порта 4 устанавливается с помощью соответствующих битов регистра Mode_P3P4.



Порт 4

Rd_P3P4 Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P3	P4	P3	P4	-	-	P3									
.15	.7	.13	.4	-	-	.9	.8	.7	.6	.5	.4	.3	.2	.1	.0
r	r	r	r	-	-	r	r	r	r	r	r	r	r	r	r

Wr_P3P4 Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P3	P4	P3	P4	-	-	P3									
.15	.7	.13	.4	-	-	.9	.8	.7	.6	.5	.4	.3	.2	.1	.0
w	w	w	w	-	-	w	w	w	w	w	w	w	w	w	w

Mode_P3P4 Значение после сброса: XXXX_n

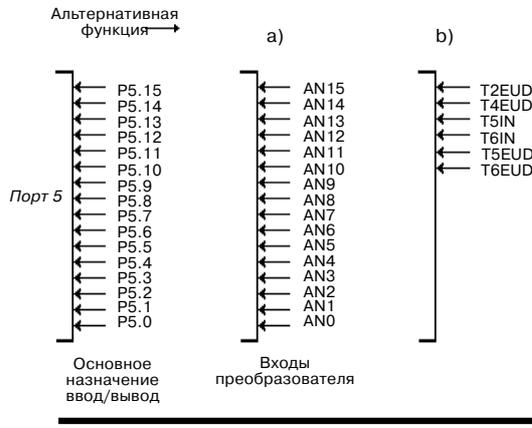
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DP	DP	DP	DP	-	-	DP									
3.15	4.7	3.13	4.4	-	-	3.9	3.8	3.7	3.6	3.5	3.4	3.3	3.2	3.1	3.0
w	w	w	w	-	-	w	w	w	w	w	w	w	w	w	w

Бит	Функция
P4.y	Регистр данных порта P4 при чтении

Бит	Функция
P4.y	Регистр данных порта P4 при записи

Бит	Функция
DP4.y	Регистр направления порта DP4 бит y DP4.y = 0: Канал порта P4.y является входным (high-impedance) DP4.y = 1: Канал порта P4.y является выходным

Порт 5



Режимы работы порта 5

Порт 5 – 16 битовый порт, который может использоваться только для ввода данных. В структуре порта отсутствует выходной регистр и регистр направления.

Дополнительные режимы порта 5

Все каналы порта 5 позволяют вводить и преобразовывать аналоговые сигналы (AN15...AN0) с помощью 10-разрядного АЦП (ADC).

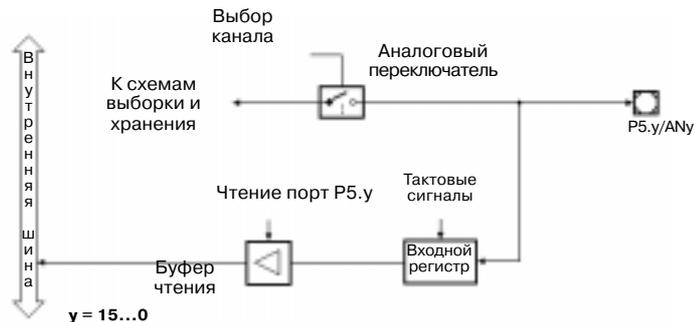
Старшие 6 выводов порта 5 могут использоваться как внешние каналы управления блоками таймеров GPT1 и GPT2.

Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P5.15	P5.14	P5.13	P5.12	P5.11	P5.10	P5.9	P5.8	P5.7	P5.6	P5.5	P5.4	P5.3	P5.2	P5.1	P5.0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Бит	Функция
P5.y	Регистр данных порта P5 бит y (только чтение)

Структурная схема канала порта P5



В таблице приведены дополнительные функции порта 5. Порт 5 имеет специальную структуру (см. рисунок), которая предназначена для ввода данных.

Таблица

Вывод порт 5	Альтернативная функция а)	Альтернативная функция б)
P5.0	Аналоговый вход AN0	-
P5.1	Аналоговый вход AN1	-
P5.2	Аналоговый вход AN2	-
P5.3	Аналоговый вход AN3	-
P5.4	Аналоговый вход AN4	-
P5.5	Аналоговый вход AN5	-
P5.6	Аналоговый вход AN6	-
P5.7	Аналоговый вход AN7	-
P5.8	Аналоговый вход AN8	-
P5.9	Аналоговый вход AN9	-
P5.10	Аналоговый вход AN10	T6EUD Таймер 6 Внешний вход управления направлением счета вверх/вниз
P5.11	Аналоговый вход AN11	T5EUD Таймер 5 Внешний вход управления направлением счета вверх/вниз
P5.12	Аналоговый вход AN12	T6IN Таймер 6 Вход тактовых импульсов
P5.13	Аналоговый вход AN13	T5IN Таймер 5 Вход тактовых импульсов
P5.14	Аналоговый вход AN14	T4EUD Таймер 4 Внешний вход управления направлением счета вверх/вниз
P5.15	Аналоговый вход AN15	T2EUD Таймер 2 Внешний вход управления направлением счета вверх/вниз

8.

Блоки таймеров общего назначения Блок таймеров GPT1

Блоки таймеров общего назначения GPT1 и GPT2 представляют собой гибкую многофункциональную структуру таймеров, которую можно использовать для формирования временных интервалов, подсчета событий, генерации импульсов и других целей. Блоки включают 5 16-битовых таймеров, которые сгруппированы в два блока таймеров GPT1 и GPT2.

Блок GPT1 содержит 3 таймера/счетчика с максимальным разрешением 400 нс, а блок GPT2 содержит 2 таймера/счетчика с максимальным разрешением 200 нс и 16-битовый регистр перезагрузки. Каждый таймер блоков GPT1 и GPT2 может работать независимо в режиме таймера или в режиме счетчика, или может объединяться с другим таймером того же блока. В блоке GPT2 блока SPWM основной таймер T6 может объединяться с таймерами (T0, T1, T7 и T8).

Блок таймеров GPT1

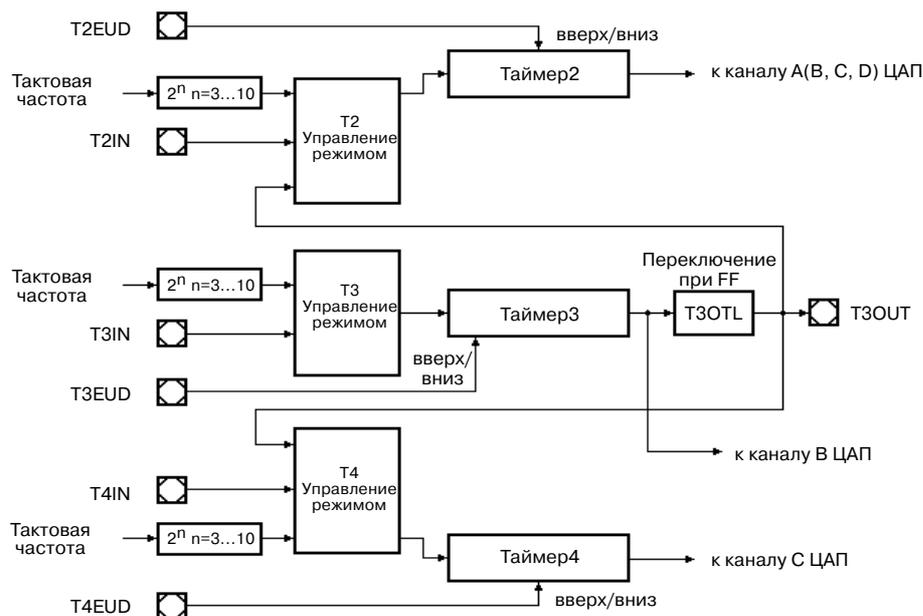
С точки зрения программиста, блок GPT1 состоит из набора управляющих регистров, как показано ниже.

Таймер T3 является основным, а T2 и T4 вспомогательными.

Три таймера блока GPT1 (T2, T3, T4) могут работать в режимах: таймера и счетчика. Все таймеры могут считать в прямом и обратном направлении. Каждый таймер подключён к соответствующему выводу порта 3, который может использоваться как вход тактовых импульсов в режиме счётчика. Направление счета (прямое/обратное) может устанавливаться программно или аппаратно в соответствии с уровнем входного сигнала, подаваемого на вход управления.

	Порты и регистры направления	Регистры данных	Регистры управления
Регистры и выводы порта, ассоциированные с блоком таймеров GPT1	Mode_P3P4	Timer2	T2mode
	Wr_P3P4	Timer3	T3mode
		Timer4	T4mode
		CountT2low	
		CountT2high	
		CountT3low	
		CountT3high	
		CountT4low	
		CountT4high	
		T2IN/P3.7 T3IN/P3.6 T4IN/P3.3 T3OUT/P3.3	T2EUD/P5.15 T3EUD/P3.4 T2EUD/P5.14

Mode_P3P4	Регистр управления направлением порта P3
Wr_P3P4	Регистр данных порта 3 запись
T2mode	Регистр управления таймера T2 блока GPT1
T3mode	Регистр управления таймера T3 блока GPT1
T4mode	Регистр управления таймера T4 блока GPT1
Timer2	Регистр данных таймера T2 блока GPT1
Timer3	Регистр данных таймера T3 блока GPT1
Timer4	Регистр данных таймера T4 блока GPT1
CountT2low	Значение таймера T2 (T3, T4)
CountT2high	Суммарное значение переполнений и исчерпаний таймера T2 (T3, T4)



Структурная схема GPT1

Переполнение/исчерпание основного таймера T3 может отображаться на соответствующем выводе порта 3. Вспомогательные таймеры T2 и T4 могут дополнительно объединяться с основным таймером.

Таймер T3 блока GPT1

Таймер T3 конфигурируется и управляется через регистр T3mode.

Значение после сброса: **XXXXH**

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	T3 OTL	T3OE	T3UDE	T3UD	T3R		T3M			T3I	

Бит	Функция
T3I	Режим ввода таймера T3 Зависит от режима работы, см. соответствующие разделы.
T3M	Управление режимом T3 (основной режим работы) 000: Режим таймера 001: Режим счетчика 010: Резерв. Не использовать эту комбинацию 011: Резерв. Не использовать эту комбинацию 1XX: Резерв. Не использовать эту комбинацию
T3R	Бит запуска T3 T3R='0': Таймер/счетчик 3 остановлен T3R='1': Таймер/счетчик 3 запущен
T3UD	Управление направлением счёта T3 (вверх/вниз *)
T3UDE	Внешнее управление направлением счёта T3 (вверх/вниз *)
T3OE	Установка выхода T3OE='0': Запрещение вывода T3OE='1': Разрешение вывода
T3OTL	Выходной сигнал переполнения/исчерпания регистра T3 Переключается при каждом переполнении/исчерпании T3. Может устанавливаться или сбрасываться программно.

*) Установка битов T3UD и T3UDE см. таблицу ниже.

Бит запуска таймера T3

Таймер может запускаться и останавливаться программно через бит T3R (Timer T3 Run Bit). Если T3R='0', таймер остановлен, если T3R='1', таймер запущен.

В таблице приведены входные частоты, разрешение и периоды, которые получаются при выборе делителя на частоте 20 МГц. Заметьте, что некоторые значения могут быть округлены до 3 значащих цифр.

Период работы таймеров должен быть больше 2 мксек (необходимо следить за значением загружаемым в регистры данных и перезагрузки таймеров), если не используются ЦАП и 12-разрядный АЦП).

Период работы таймеров должен быть больше 20 мксек (необходимо следить за значением загружаемым в регистры данных и перезагрузки таймеров), если используются ЦАП и 12-разрядный АЦП).

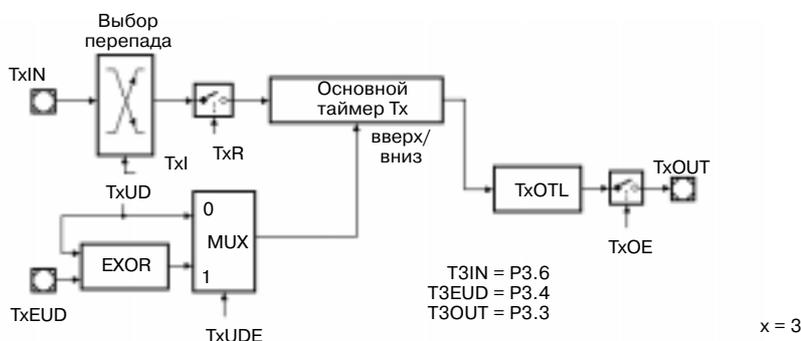
Существует возможность уменьшения периода работы таймеров за счет других устройств. При необходимости обращайтесь к разработчику.

Входные частоты, разрешение и периоды таймера блока GPT1

20 МГц	Выбор ввода таймера T2I/T3I/T4I							
	000b	001b	010b	011b	100b	101b	110b	111b
Делитель	8	16	32	64	128	256	512	1024
Входная частота	2.5 МГц	1.25 МГц	625 КГц	312.5 КГц	156.25 КГц	78.125 КГц	39.06 КГц	19.53 КГц
Разрешение	400нс	800нс	1.6мкс	3.2мкс	6.4мкс	12.8мкс	25.6мкс	51.2мкс
Период	26мс	52.5мс	105мс	210мс	420мс	840мс	1.68с	3.36с

Таймер T3 в режиме счетчика

Режим счетчика для основного таймера T3 выбирается установкой битового поля T3M в регистре T3mode в '001b'. В режиме счетчика таймер T3 тактируется перепадом уровня сигнала на выводе внешнего входа T3IN, который является альтернативной функцией порта P3.6. Событием, вызывающим увеличение или уменьшение (инкремент или декремент) таймера, может быть как фронт, спад так и фронт и спад уровня внешнего сигнала на этом выводе. Битовое поле T3I в регистре управления T3mode выбирает переключение перепада уровня сигнала (см. таблицу ниже).



Структурная схема основного таймера T3 в режиме счетчика

Выбор перепада уровня входного сигнала основного таймера T3 (режим счетчика) блока GPT1

T3I	Изменение входного сигнала для инкремента/декремента счетчика
000	Нет. Счетчик T3 запрещен
001	Фронт (0-1) на T3IN
010	Спад (1-0) на T3IN
011	Любой перепад (0-1 или 1-0) на входе T3IN
1XX	Резерв. Не использовать эту комбинацию

Для работы счетчика контакт T3IN/P3.6 должен быть сконфигурирован на вход, т.е. бит управления направлением DP3.6 должен быть '0'. Максимально допустимая входная частота, которая разрешена для режима счетчика – $F/16$ (1.25 МГц при 20 МГц). Чтобы обеспечить правильное распознавание перепада считаемого входного сигнала, подаваемого на T3IN, его уровень должен удерживаться (лог.1 или лог.0) по крайней мере 8 циклов тактовой частоты перед изменением.

Вспомогательные таймеры T2 и T4 блока GPT1

Оба вспомогательных таймера T2 и T4 функционально совершенно одинаковы. Их можно конфигурировать как таймер или счетчик с теми же опциями для частот и сигналов счетчика как и для основного таймера T3. Дополнительно к двум режимам счёта вспомогательные таймеры могут быть объединены с основным таймером или использоваться как регистры захвата или перезагрузки совместно с основным таймером.

Замечание: Вспомогательные таймеры не имеют внешнего выхода.

Индивидуальная конфигурация для таймеров T2 и T4 определяется их регистрами управления T2mode и T4mode, которые одинаково организованы. Заметьте, что функции, которые присутствуют во всех 3 таймерах блока GPT1, управляются в том же положении битов и тем же способом в каждом регистре управления.

T2mode Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	T2UDE	T2UD	T2R		T2M			T2I	

T4mode Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	T4UDE	T4UD	T4R		T4M			T4I	

Бит	Функция
TxI	Выбор входа таймера x Зависит от режима работы, см. соответствующий раздел
TxM	Управление режимом таймера x (основной режим работы) 000: Режим таймера 001: Режим счетчика 010: Резерв. Не использовать эту комбинацию 011: Резерв. Не использовать эту комбинацию 100: Резерв. Не использовать эту комбинацию 101: Резерв. Не использовать эту комбинацию 11X: Резерв. Не использовать эту комбинацию
TxR	Бит выполнения таймера x TxR='0': Таймер/счетчик x остановлен TxR='1': Таймер/счетчик x запущен
TxUD	Управление направлением таймера x вверх/вниз *)
TxUDE	Внешнее разрешение направления вверх/вниз таймера x *)

*) Действие битов TxUD и TxUDE см. таблицу направления (см. раздел T3).

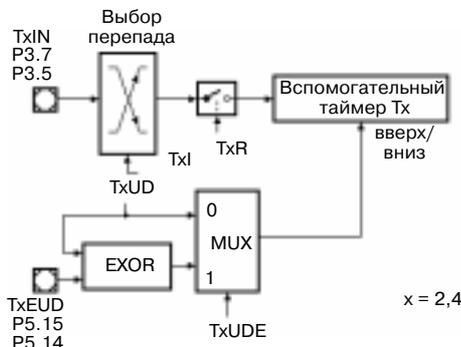
Управление направлением счета для вспомогательных таймеров

Направление счета вспомогательных таймеров управляется тем же способом как и для основного таймера T3. Описание и таблицы применяются соответственно.

Таймеры T2 и T4 в режиме счетчика

Режим счетчика для вспомогательных таймеров T2 и T4 выбирается установкой битового поля TxM в соответствующем регистре Txmode в '001b'. В режиме счетчика таймеры T2 и T4 могут тактироваться изменением входного сигнала на соответствующем выводе внешнего входа TxIN, или изменением T3OTL выходного регистра переполнения/исчерпания таймера T3.

Структурная схема вспомогательного таймера в режиме счетчика



Событие, вызывающее инкремент или декремент таймера, может быть как фронт или спад, так и фронт и спад входного сигнала, на соответствующем выводе или в выходном регистре переполнения/исчерпания T3OTL. Битовое поле TxI в соответствующем регистре управления Txmode выбирает перепад уровня входного сигнала (см. таблицу ниже).

Выбор перепада уровня входного сигнала вспомогательного таймера (режим счетчика) блока GPT1

T2I/T4I	Изменение входного сигнала для инкремента/декремента счетчика
X00	Нет. Счетчик Tx запрещен
001	Фронт (0-1) на TxIN
010	Спад (1-0) на TxIN
011	Любой перепад (0-1 или 1-0) на входе TxIN
101	Фронт (0-1) T3OTL выходного регистра
110	Спад (1-0) T3OTL выходного регистра
111	Любой перепад (0-1 или 1-0) выходного регистра T3OTL

Замечание:

Только перепады состояния T3OTL, которые вызываются переполнением/исчерпанием T3, способны переключить функцию счета T2/T4. Изменения T3OTL программно НЕ переключат функцию счета T2/T4.

Для работы счетчика вывод TxIN должен быть сконфигурирован на вход, т.е. соответствующий бит управления направлением должен быть '0'. Максимально допустимая входная частота, которая разрешена для режима счетчика – $F/8$ (1.25 МГц при $F = 20$ МГц). Чтобы обеспечить правильное распознавание перепада уровня считаемого входного сигнала, подаваемого на TxIN, его уровень должен удерживаться по крайней мере 8 циклов тактовой частоты перед изменением.

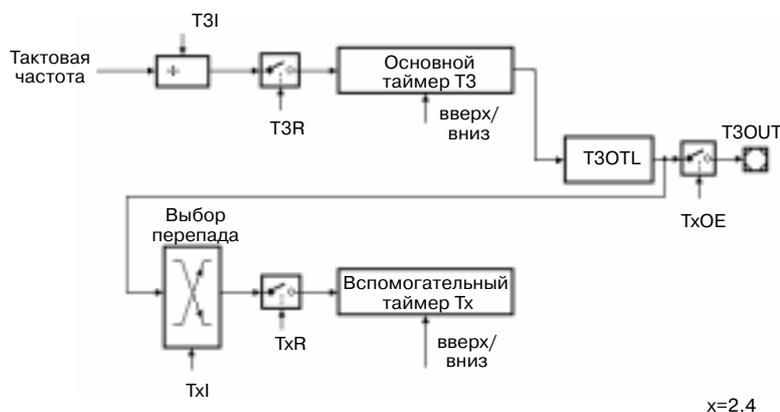
Объединение таймеров

Используя бит переключения T3OTL как источник тактовых импульсов для вспомогательного таймера в режиме счетчика, объединяются основной таймер T3 с соответствующим вспомогательным таймером. В зависимости от того какой перепад T3OTL выбран для тактирования вспомогательного таймера, объединение образует 32-битовый или 33-битовый таймер/счетчик.

- **32-битовый таймер/счетчик:** Если используется и фронт и спад T3OTL для тактирования вспомогательного таймера, этот таймер тактируется на каждом переполнении/исчерпании основного таймера T3. Таким образом, два таймера образуют 32-битовый таймер.
- **33-битовый таймер/счетчик:** Если используется фронт или спад T3OTL для тактирования вспомогательного таймера, этот таймер тактируется на каждом втором переполнении/исчерпании основного таймера T3. Такая конструкция образует 33-битовый таймер (16-бит основной + T3OTL + 16 бит вспомогательный таймер).

Направления счета двух объединенных таймеров не обязательно должно быть одинаковыми. Это дает большое разнообразие возможностей различных конфигураций.

T3 может работать в данном случае в режиме таймера или счетчика.

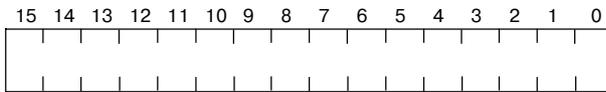


Структурная схема объединения основного и вспомогательного таймера

Регистры текущего состояния таймеров для считывания: **CountTxlow** и **CountTxhigh**.

CountTxlow

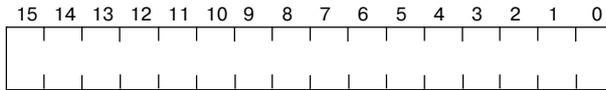
Значение после сброса: **XXXX_n**



При считывании в этих регистрах находится текущее состояние регистра данных таймера Tx.

CountTxhigh

Значение после сброса: **XXXX_n**



При считывании в этих регистрах находится суммируемое значение переполнений и исчерпаний таймера Tx.

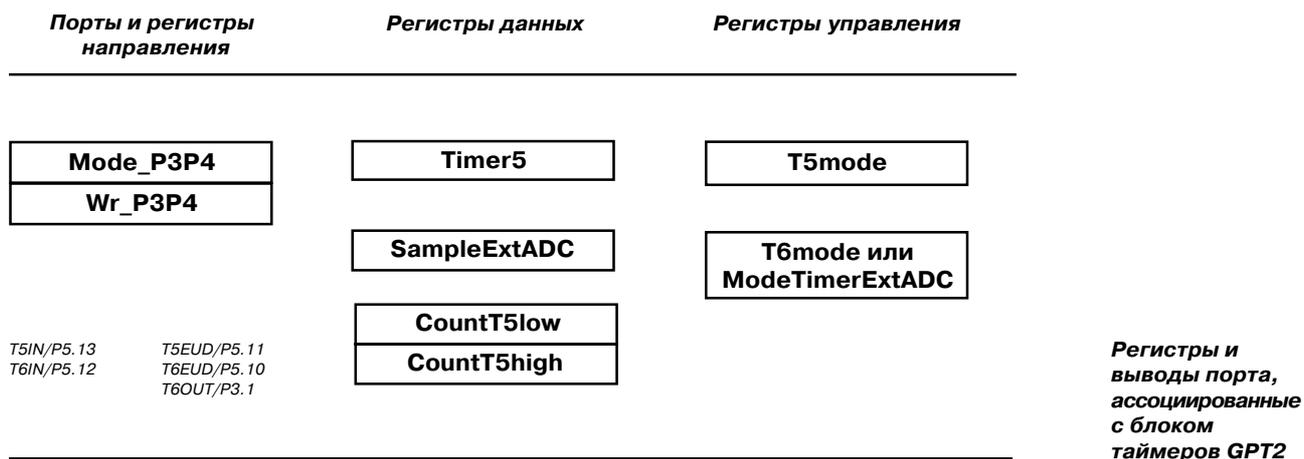
Регистр **CountTxhigh** доступен только когда не используются ЦАП и АЦП.

При каждом наращивании данного регистра, то есть при переполнении или исчерпании регистра данных таймера Tx, выставляется прерывание.

8. Блоки таймеров общего назначения

Блок таймеров GPT2

Блок GPT2 состоит из набора регистров, как показано ниже.



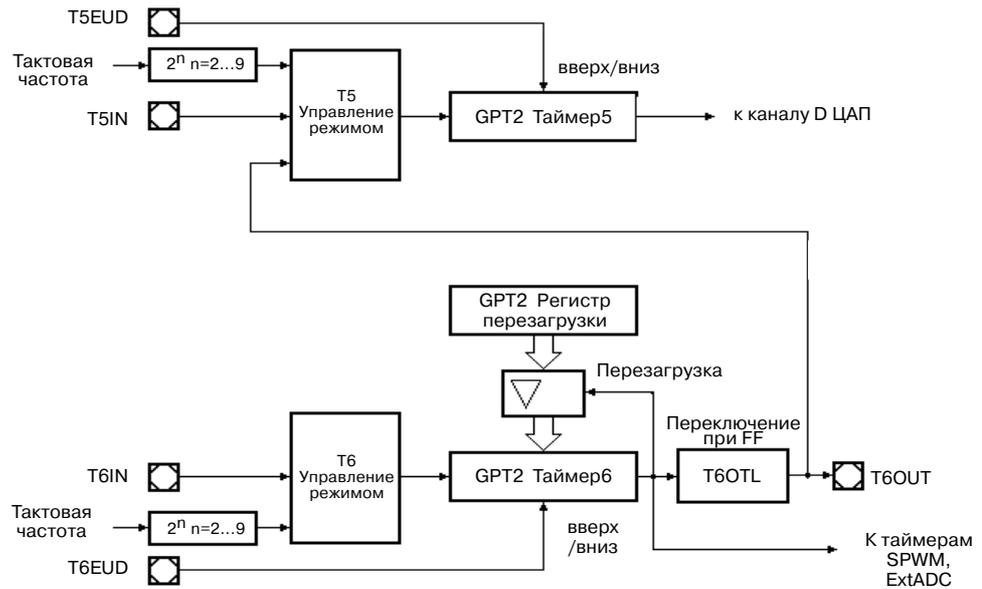
<i>Mode_P3P4</i>	<i>Регистр управления направлением порта 3/4</i>
<i>Wr_P3P4</i>	<i>Регистр данных порта 3, 4 запись</i>
<i>P5</i>	<i>Регистр данных порта 5</i>
<i>T5mode</i>	<i>Регистр управления таймера T5 блока GPT2</i>
<i>T6mode</i>	<i>Регистр управления таймера T6 блока GPT2</i>
<i>Timer5</i>	<i>Регистр данных таймера T5 блока GPT2</i>
<i>SampleExtADC</i>	<i>Регистр перезагрузки (данных) таймера T6</i>
<i>CountT5low</i>	<i>Значение таймера T5</i>
<i>CountT5high</i>	<i>Суммарное значение переполнений и исчерпаний таймера T5</i>

Блок таймеров GPT2 поддерживает высокоточное управление событиями с максимальным разрешением 200 нс. Он включает два таймера T5, T6 и 16-битовый регистр перезагрузки SampleExtADC. Таймер T6 выполняет функцию основного таймера, а T5 – вспомогательного.

Каждый таймер имеет контакт альтернативной функции ввода, который используется как вход тактовых импульсов в режиме счетчика. Направление счета (прямое/обратное) можно запрограммировать или изменять сигналом на контакте входа внешнего управления. Каждое переполнение/исчерпание основного таймера T6 может отображаться на соответствующем контакте порта 3 (бит T6OTL). Регистр T6 можно перезагружать содержимым регистра SampleExtADC.

Бит переключения T6OTL также поддерживает объединение T6 с вспомогательным таймером T5. Оба таймера T6 и T5 могут считать вверх и вниз, а текущее значение таймера может изменяться в регистрах Timer5 и Timer6.

Запись в регистр данных таймера T6 осуществляется из регистра SampleExtADC.



Структурная схема GPT2

Основной таймер T6 блока GPT2

Основной таймер T6 конфигурируется и управляется через регистр управления T6mode.

T6mode											Значение после сброса: XXXXн				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
T6SR	-	-	-	-	T6OTL	T6OE	T6UDE	T6UD	T6R		T6M			T6I	

Бит	Функция
T6I	Режим ввода таймера T6 Зависит от режима работы, см. соответствующие разделы.
T6M	Управление режимом T6 (основной режим работы) 000: Режим таймера 001: Режим счетчика 010: Резерв. Не использовать эту комбинацию 011: Резерв. Не использовать эту комбинацию 1XX: Резерв. Не использовать эту комбинацию
T6R	Бит запуска T6 T6R='0': Таймер/счетчик 6 остановлен T6R='1': Таймер/счетчик 6 запущен
T6UD	Управление направлением счёта T6 (вверх/вниз *)
T6UDE	Внешнее управление направлением счёта T6 (вверх/вниз *)
T6OE	Установка выхода T6OE='0': Запрещение вывода T6OE='1': Разрешение вывода
T6OTL	Выходной сигнал переполнения/исчерпания регистра T6 Переключается при каждом переполнении/исчерпании T6. Может устанавливаться или сбрасываться программно.
T6SR	Разрешение режима перезагрузки T6 T6SR='0': Резерв. Не использовать эту комбинацию T6SR='1': Перезагрузка из регистра перезагрузки разрешена

*) Результат действия битов T6UD и T6UDE см. таблицу ниже.

Бит запуска таймера T6

Таймер может быть запущен и остановлен программно через бит T6R. Если T6R='0', таймер остановлен, если T6R='1', таймер запущен.

Управление направлением счета

Направление счета основного таймера может управляться как программно так и сигналом на контакте внешнего входа T6EUD, который является альтернативной функцией входа вывода порта P5.10. Эта опция выбирается битами T6UD и T6UDE в регистре управления T6mode. Когда управление режимом вверх/вниз выполняется программно (T6UDE='0'), направление счета изменяется установкой и обнулением бита T6UD. Когда T6UDE='1', входной вывод T6EUD выбирается для управления направлением счета. Однако бит T6UD может использоваться для изменения действительного направления счета, как показано в таблице ниже. Если T6UD='0', и вывод T6EUD имеет лог.0, таймер считает вверх. Когда T6EUD имеет лог.1, таймер считает вниз. Если T6EUD='1', лог.1 на выводе T6EUD задает счет вверх, а лог.0 задает счет вниз. Направление счета можно менять независимо от того, работает таймер или нет

Управление направлением счета основного таймера T6 блока GPT2

Вывод TxEUD	Бит TxUDE	Бит TxUD	Направление счета
X	0	0	Вверх
X	0	1	Вниз
0	1	0	Вверх
1	1	0	Вниз
0	1	1	Вниз
1	1	1	Вверх

Замечание:

Направление счета работает одинаково для основного таймера T6 и вспомогательного таймера T5. Поэтому контакты и биты названы Tx...

Выходной регистр переполнения/исчерпания таймера T6

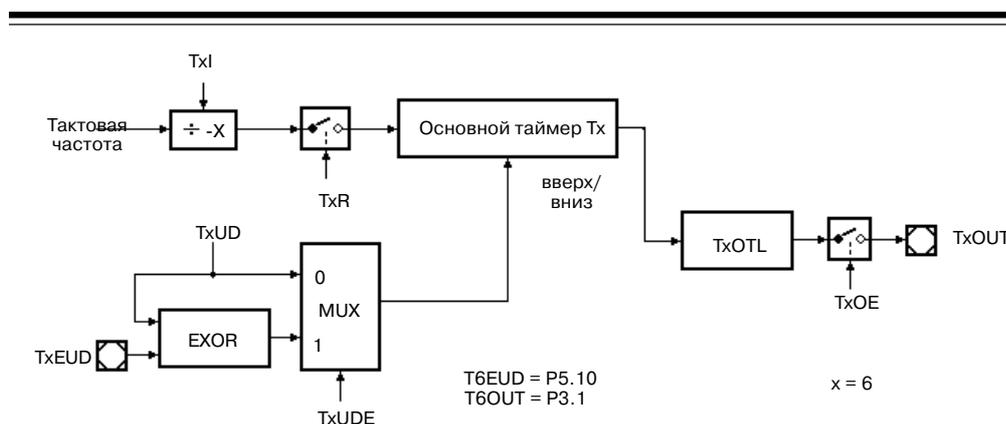
Переполнение и исчерпание таймера T6 тактирует бит переключения T6OTL в регистре управления T6mode. Бит T6OTL можно также переустанавливать программно. Бит T6OE (установка выхода) в регистре T6mode разрешает выдачу состояния бита на выводе T6OUT/P3.1. Для этого нужно записать '1' в регистр данных порта P3.1, а вывод T6OUT/P3.1 должен быть сконфигурирован как выход путем установки бита управления направлением DP3.1 в '1'. Если T6OE='1', тогда вывод T6OUT отражает состояние T6OTL. Если T6OE='0', вывод T6OUT можно использовать для обычного ввода вывода.

Бит T6OTL может использоваться как входной сигнал для функции счета вспомогательного таймера T5. При этом состояние T6OTL не требуется на выводе T6OUT, так как предусмотрена внутренняя связь для этой опции.

T6 в режиме таймера

Режим таймера для основного таймера T6 выбирается установкой битового поля T6M в регистре T6mode в '000b'. В этом режиме T6 тактируется внутренней тактовой частотой через программируемый делитель, который выбирается битовым полем T6I. Входная частота f_{T6} для таймера T6 и ее разрешение r_{T6} промасштабированы линейно частотой f = 20 МГц, что видно из формулы ниже:

$$f_{T6} = \frac{f}{4 * 2^{<T6I>}} \quad r_{T6}[мкс] = \frac{4 * 2^{<T6I>}}{f [МГц]}$$



Структурная схема основного таймера T6 в режиме таймера

В таблице приведены входные частоты, разрешение и периоды, которые получаются при выборе делителя на тактовой частоте 20 МГц. Эта таблица применима и к вспомогательному таймеру T5 в режимах таймера и управляемого таймера. Заметьте, что некоторые значения могут быть округлены до 3 значащих цифр.

Период работы таймеров должен быть больше 2 мксек (необходимо следить за значением загружаемым в регистры данных и перезагрузки таймеров), есл и не используются ЦАП и 12-разрядный АЦП).

Период работы таймеров должен быть больше 20 мксек (необходимо следить за значением загружаемым в регистры данных и перезагрузки таймеров), есл и используются ЦАП и 12-разрядный АЦП).

Существует возможность уменьшения периода работы таймеров за счет других устройств. При необходимости обращайтесь к разработчику.

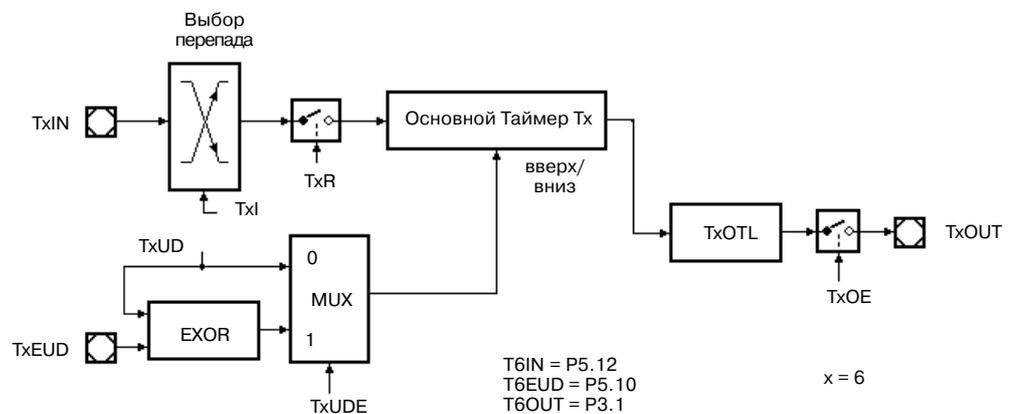
Входные частоты, разрешение и периоды таймера блока GPT2

F _{сри} = 20 МГц	Выбор ввода таймера T5/T6I							
	000b	001b	010b	011b	100b	101b	110b	111b
Делитель	4	8	16	32	64	128	256	512
Входная частота	5 МГц	2.5 МГц	1.25 МГц	625 КГц	312.5 КГц	156.25 КГц	78.125 КГц	39.06 КГц
Разрешение	200нс	400нс	800нс	1.6мкс	3.2мкс	6.4мкс	12.8мкс	25.6мкс
Период	13мс	26мс	52.5мс	105мс	210мс	420мс	840мс	1.68с

Таймер T6 в режиме счетчика

Режим счетчика для основного таймера T6 выбирается установкой битового поля T6M в регистре T6mode в '001b'. В режиме счетчика таймер T6 тактируется перепадом уровня входного сигнала на выводе внешнего входа T6IN, который является альтернативной функцией порта P5.12. Событием, вызывающим инкремент/декремент таймера, может быть как фронт, спад, так и фронт и спад уровня сигнала на выводе внешнего входа T6IN. Битовое поле T6I в регистре управления T6mode выбирает перепад уровня входного сигнала (см.таблицу ниже).

Структурная схема основного таймера T6 в режиме счетчика



Выбор перепада уровня входного сигнала основного таймера T6 (режим счетчика) блока GPT2

T6I	Изменение входного сигнала для инкремента/декремента счетчика
000	Нет. Счетчик T6 запрещен
001	Фронт (0-1) на T6IN
010	Спад (1-0) на T6IN
011	Любой перепад (0-1 или 1-0) на входе T6IN
1XX	Резерв. Не использовать эту комбинацию

Максимально допустимая входная частота, которая разрешена для режима счетчика – 2.5 МГц. Чтобы обеспечить правильное распознавание перепада уровня считаемого входного сигнала, подаваемого на T6IN, его уровень должен удерживаться (лог.1 или лог.0) по крайней мере 4 цикла перед изменением.

Вспомогательный таймер T5 блока GPT2

Вспомогательный таймер T5 можно конфигурировать как таймер или счетчик. Дополнительно вспомогательный таймер может быть объединен с основным таймером.

Замечание: Вспомогательный таймер не имеет внешнего контакта выхода.

Индивидуальная конфигурация для таймера T5 определяется его регистром управления T5mode.

T5mode											Значение после сброса: XXXXh						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
T5 SC	T5 CLR	CI	-	-	-	T5 UDE	T5 UD	T5R	-	T5M	-	-	-	T5I	-		

Бит	Функция
T5I	Режим ввода таймера T5 Зависит от режима работы, см.соответствующие разделы.
T5M	Управление режимом T5 (основной режим работы) 00: Режим таймера 01: Режим счетчика 10: Не использовать эту комбинацию 11: Не использовать эту комбинацию
T5R	Бит запуска T5 T6R=0: Таймер/счетчик 5 остановлен T6R=1: Таймер/счетчик 5 запущен
T5UD	Управление направлением счёта T5 (вверх/вниз *)
T5UDE	Внешнее управление направлением счёта T5 (вверх/вниз *)
CI	00: Установить 01: Не использовать 10: Не использовать 11: Не использовать
T5CLR	Бит очистки таймера 5 T5CLR=0: Установить T5CLR=1: Не использовать
T5SC	T5SC=0: Установить T5SC=1: Не использовать

*) Результат действия битов TxUD и TxUDE см. таблицы направления (см. раздел T6).

Управление направлением счета для вспомогательных таймеров

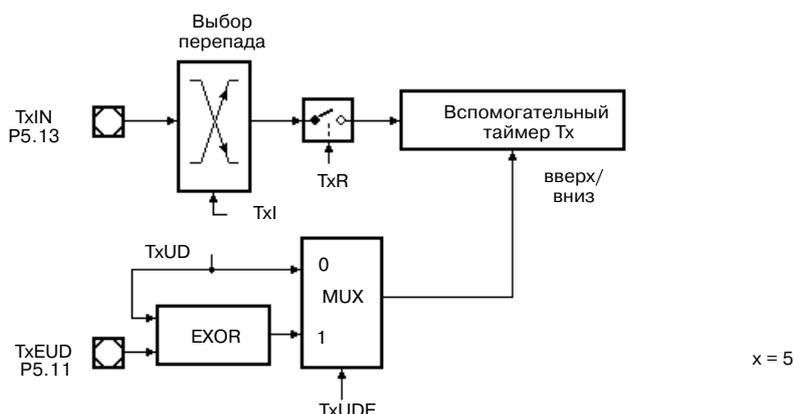
Направление счета вспомогательного таймера управляется тем же способом как и основного таймера T6. Описание и таблицы применяются соответственно.

Таймер T5 в режиме таймера

Когда вспомогательный таймер T5 программируются в режим таймера, его работа такая же как и для основного таймера T6. Описания, значения и таблицы применяются с единственным исключением – нет регистра выхода и внешнего контакта выхода для T5.

Таймеры T5 в режиме счетчика

Режим счетчика для вспомогательного таймера T5 выбирается установкой битового поля T5M в регистре T5mode в '001b'. В режиме счетчика таймер T5 может тактироваться перепадом уровня входного сигнала на выводе внешнего входа T5IN или перепадом выходного регистра T6OTL таймера T6.



Структурная схема вспомогательного таймера T5 в режиме счетчика

Событием, вызывающим инкремент или декремент таймера, может быть как фронт, спад, так и фронт и спад входного сигнала как на соответствующем выводе, так и в выходном регистре T6OTL. Битовое поле T5I в регистре управления T5mode выбирает перепад уровня входного сигнала (см. таблицу ниже).

Выбор перепада уровня входного сигнала вспомогательного таймера T5 (режим счетчика) блока GPT2

T5I	Изменение входного сигнала для инкремента/декремента счетчика
000	Нет. Счетчик T5 запрещен
001	Фронт (0-1) на T5IN
010	Спад (1-0) на T5IN
011	Фронт или спад (0-1 или 1-0) на T5IN
101	Фронт (0-1) T6OTL выходного регистра
110	Спад (1-0) T6OTL выходного регистра
1XX	Резерв. Не использовать эту комбинацию

Замечание:

Только перепады состояния T6OTL, которые вызываются исчерпанием T6, способны переключить функцию счетчика T5. Изменения T6OTL программно НЕ переключат функцию счетчика T5.

Максимально допустимая входная частота, которая разрешена для режима счетчика – 2.5 МГц. Чтобы обеспечить правильное распознавание перепада считаемого входного сигнала, подаваемого на T5IN, его уровень должен удерживаться по крайней мере 4 цикла тактовой частоты перед изменением.

Объединение таймеров

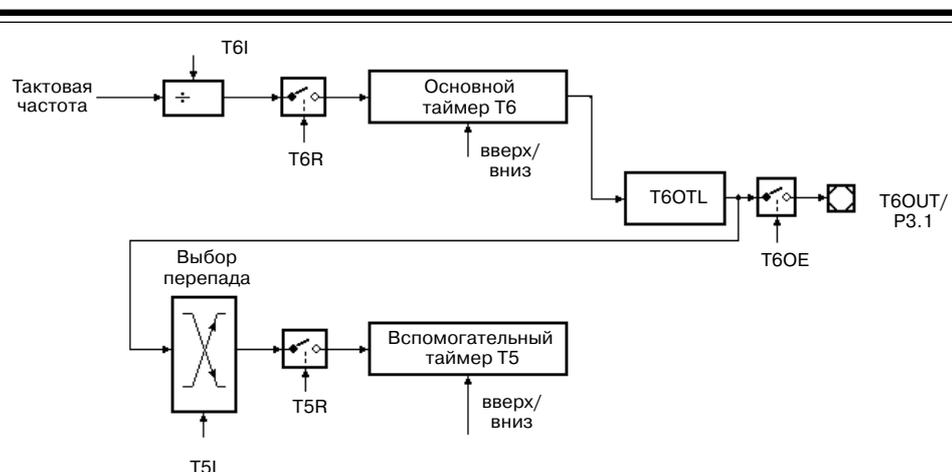
Используя бит переключения T6OTL как источник тактовых импульсов для вспомогательного таймера в режиме счетчика, объединяют основной таймер T6 с вспомогательным таймером. В зависимости от того какой перепад T6OTL выбран для тактирования вспомогательного таймера, объединение образует 32-битовый или 33-битовый таймер/счетчик.

- **32-битовый таймер/счетчик:** Если используется и фронт, и спад T6OTL для тактирования вспомогательного таймера, этот таймер тактируется на каждом переполнении/исчерпании основного таймера T6. Таким образом, два таймера образуют 32-битовый таймер.
- **33-битовый таймер/счетчик:** Если используется фронт или спад T6OTL для тактирования вспомогательного таймера, этот таймер тактируется на каждом втором переполнении/исчерпании основного таймера T6. Такая конструкция образует 33-битовый таймер (16-бит основной + T6OTL + 16 бит вспомогательный таймер).

Направления счета двух объединенных таймеров не обязательно должно быть одинаковыми. Это дает большое разнообразие возможностей различных конфигураций.

T6 может работать в данном случае в режиме таймера, управляемого таймера или счетчика.

Объединение основного T6 и вспомогательного таймера T5

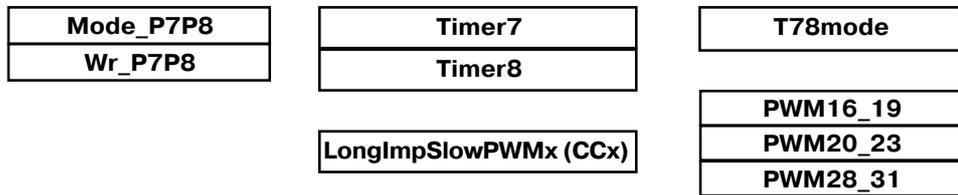
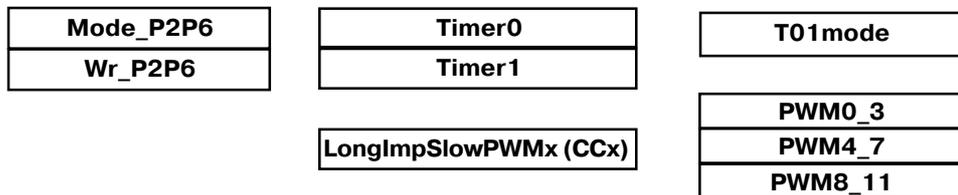


9. Блок широтно-импульсной модуляции (SPWM)

В состав блока широтно-импульсной модуляции (SPWM) входят два почти одинаковых узла, которые отличаются только способом подключения к выводам модуля. Они обеспечивают 28 каналов, взаимодействующих с 4-мя таймерами. Они поддерживают генерацию и управление временными последовательностями с минимальным программным вмешательством.

С точки зрения программиста, "блок SPWM" относится к набору регистров, связанных с блоком, включая выводы порта, которые могут использоваться для альтернативных функций ввода/вывода, включая их бит управления направлением.

Порты и управление направлением	Регистры данных	Регистры управления
--	------------------------	----------------------------



T0IN/P3.0
 PWM0_3/P2.0-3
 PWM4_7/P2.4-7
 PWM8_11/P2.8-11
 PWM16_19/P8.0-3
 PWM20_23/P8.4-7
 PWM28_31/P7.4-7

Регистры и выводы порта, ассоциированные с блоком SPWM

Mode_P2P6	Регистр управления направлением порта 2	
Wr_P2P6	Регистр данных порта 2	
Mode_P7P8	Регистр управления направлением порта 7, 8	
Wr_P7P8	Регистр данных порта 7, 8	
T01mode	Регистр управления таймеров T0 и T1	
T78mode	Регистр управления таймеров T7 и T8	
Timerx	Регистр перезагрузки таймера Tx блока SPWM	
Timerx	Регистр данных таймера Tx блока SPWM	
LongImpSlowPWM0...11 (CC0...11)	Регистр 0...11 узла SPWM1	
LongImpSlowPWM16...19 (CC16...19)	Регистр 16...19 узла SPWM2	
LongImpSlowPWM20...23 (CC20...23)	Регистр 20...23 узла SPWM2	
LongImpSlowPWM28...31 (CC28...31)	Регистр 28...31 узла SPWM2	
PWM0_3	Регистр управления режимом 0...3 узла SPWM1	
PWM4_7	Регистр управления режимом 4...7 узла SPWM1	
PWM8_11	Регистр управления режимом 8...11 узла SPWM1	
PWM16_19	Регистр управления режимом 16...19 узла SPWM2	
PWM20_23	Регистр управления режимом 20...23 узла SPWM2	
PWM28_31	Регистр управления режимом 28...31 узла SPWM2	

Блок используется для широтно-импульсной модуляции. Максимальное разрешение узлов SPWM – 400 нсек.

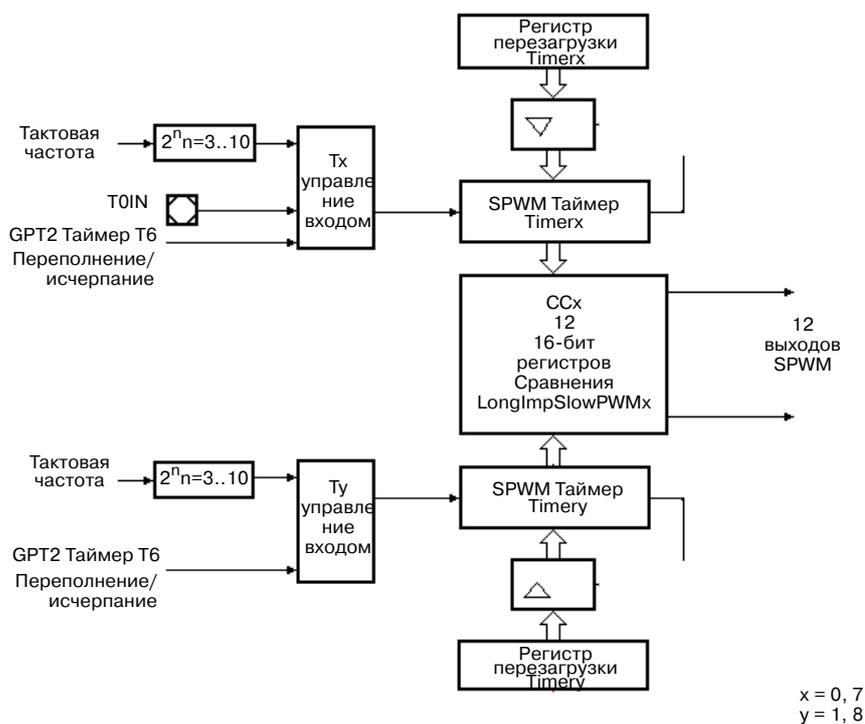
Каждый узел SPWM состоит из двух 16-разрядных таймеров (T0/T1 в SPWM1, T7/T8 в SPWM2), каждый имеет свой регистр перезагрузки, и банка из двенадцати 16-разрядных регистров (CC0...CC11 в SPWM1, CC16...CC19, CC20...CC23, CC28...CC31 в SPWM2).

Таймеры узлов SPWM тактируются от внутреннего программируемого делителя частоты, подключенного к тактовому генератору модуля, или используется переполнение/исчерпание таймера T6 в блоке таймеров GPT2.

Таймер T0 может также работать в режиме счетчика (от внешнего входа), тогда он может тактироваться внешними сигналами.

Каждый из регистров CCx (LongImpSlowPWMx) может быть привязан к любому таймеру соответствующего узла. Каждый регистр CCx имеет один вывод порта, ассоциированный с ним, и служит выводом выхода.

На рисунке ниже показана основная структура узла SPWM.

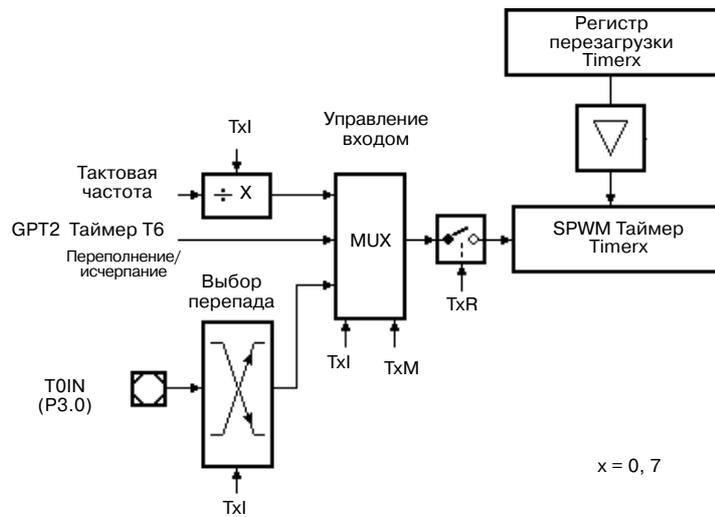


**Структурная
схема
узла SPWM**

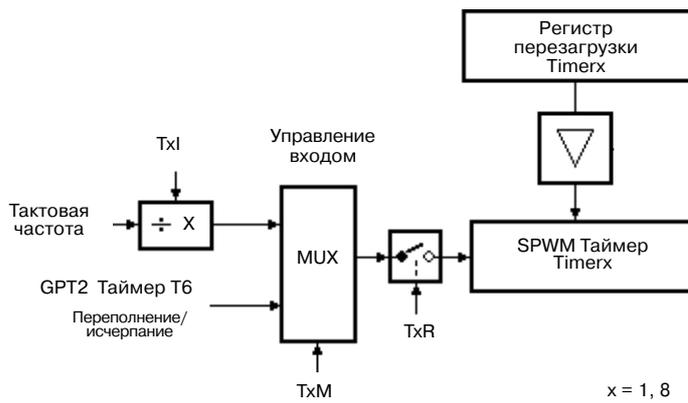
Таймеры блока ШИМ

Основная функция таймеров T0/T1 и T7/T8 – это обеспечение двух независимых последовательностей импульсов (максимальное разрешение 400 нсек) .

Основная структура четырех таймеров идентична, тогда как выбор входных сигналов различен для таймеров T0/T7 и таймеров T1/T8 (см. рисунок ниже).



**Структурная
схема
таймеров T0 и T7
узла SPWM**



**Структурная
схема
таймеров T1 и T8
узла SPWM**

Таймеры узлов SPWM конфигурируются и управляются 16-битовыми регистрами T01mode и T78mode. Старший байт регистра T01mode управляет таймером T1, младший байт регистра T01mode управляет таймером T0, старший байт T78mode управляет T8, младший байт T78mode управляет T7. Опции управления одинаковы для всех четырех таймеров (кроме внешнего входа).

Входные частоты, разрешение и периоды таймера Txl

	Выбор ввода таймера Txl							
	000b	001b	010b	011b	100b	101b	110b	111b
Делитель	8	16	32	64	128	256	512	1024
Входная частота	2.5 МГц	1.25 МГц	625 КГц	312.5 КГц	156.25 КГц	78.125 КГц	39.06 КГц	19.53 КГц
Разрешение	400нс	800нс	1.6мкс	3.2мкс	6.4мкс	12.8мкс	25.6мкс	51.2мкс
Период	26мс	52.5мс	105мс	210мс	420мс	840мс	1.68с	3.36с

После запуска таймера установкой бита запуска (TxR) в '1', первое приращение произойдет в период времени, определенный выбранным разрешением таймера. Все следующие приращения происходят точно после времени, определенного разрешением таймера.

Режим счетчика

Биты TxM в регистрах T01mode и T78mode задают режим таймера или счетчика для соответствующего таймера.

В режиме счетчика (TxM='1') таймеры тактируются сигналом переполнения/исчерпания таймера T6 в блоке GPT2. Дополнительно, таймеры T0 может тактироваться внешними сигналами. Фронт или спад или и фронт, и спад на выводе T0IN (альтернативная функция входа вывода порта P3.0), соответственно, можно выбрать для наращивания T0.

Когда T1 или T8 программируются для работы в режиме счетчика, битовое поле Txl используется для разрешения использования сигнала переполнения/исчерпания таймера T6 как источника счета. Это единственная опция для T1 и T8, и она выбирается комбинацией Txl=X00b. Когда битовое поле Txl программируется другой комбинацией, соответствующий таймер (T1 или T8) остановлен.

Когда T0 или T7 программируются для работы в режиме счетчика, битовое поле Txl используется для выбора источника счета и перепада (если источник входной вывод) (см. описание Txumode для возможных режимов).

Замечание:

Для того чтобы использовать вывод T0IN как вывод внешнего входа счетчика, вывод порта должен быть сконфигурирован на вход, т.е. соответствующий бит управления направлением (DP3.0) должен быть установлен в лог '0'.

Максимальная внешняя входная частота для T0 или T7 в режиме счетчика – 1.25 МГц при тактовой частоте F=20 МГц. Чтобы убедиться в правильном распознавании перепада сигнала на входе таймера, внешний входной сигнал должен удерживаться 8 тактов, перед тем как он снова поменяет уровень. Инкрементированное значение счетчика появляется в регистрах T0/T7 через 8 тактов после перепада уровня сигнала на выводе TxlN.

Перезагрузка

В регистре таймера и в регистре перезагрузки помещается одно и тоже значение Timerxh.

Перезагрузка таймера 16-битовым значением, хранящимся в ассоциированном с ним регистре перезагрузки, в обоих режимах выполняется всякий раз, когда таймер переполняется от FFFFh в 0000h. В этом случае таймер перезагружается содержимым соответствующего регистра перезагрузки Timerxh. Таймер затем возобновляет инкрементирование, начиная со значения перезагрузки.

Регистры сравнения

16-битовые регистры сравнения CC0...CC31 загружаются значением LongImpSlowPWMx и используются как регистры данных для команд в соответствии со значением таймеров T0/T1 и T7/T8.

Каждый из регистров сравнения CC0...CC31 может индивидуально программироваться на один из трех режимов и может индивидуально прикрепляться к одному из двух таймеров соответствующего узла SPWM (T0 или T1 и, соответственно, T7 или T8). Специальное сочетание режимов позволяет применить режим сравнения “двойного-регистра”.

Функции 24 регистров сравнения CC0...CC31 управляются 6-ю 16-битовыми регистрами управления режимом, которые называются PWMn_m и организованы аналогично (см. описание ниже). Каждый регистр содержит биты для выбора режима и размещения таймеров.

Регистры режима для узла SPWM1 (CC0...CC11)

PWM0_3																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC3	CCMOD3	ACC2	CCMOD2	ACC1	CCMOD1	ACC0	CCMOD0									

PWM4_7																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC7	CCMOD7	ACC6	CCMOD6	ACC5	CCMOD5	ACC4	CCMOD4									

PWM8_11																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC11	CCMOD11	ACC10	CCMOD10	ACC9	CCMOD9	ACC8	CCMOD8									

Регистры режима для узла SPWM2 (CC16...CC19, CC20...CC23, CC28...CC31)

PWM16_19																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC19	CCMOD19	ACC18	CCMOD18	ACC17	CCMOD17	ACC16	CCMOD16									

PWM20_23																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC23	CCMOD23	ACC22	CCMOD22	ACC21	CCMOD21	ACC20	CCMOD20									

PWM28_31																Значение после сброса: XXXXн
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ACC31	CCMOD31	ACC30	CCMOD30	ACC29	CCMOD29	ACC28	CCMOD28									

Бит	Функция
CCMODx	Выбор режима для регистра сравнение CCx Имеющиеся режимы сравнение перечислены в таблице ниже
ACCx	Бит размещения для регистра сравнение CCx 0: CCx прикреплен к таймеру T0 (SPWM1) / T7 (SPWM2) 1: CCx прикреплен к таймеру T1 (SPWM1) / T8 (SPWM2)

Выбор режимов сравнения

ССМОДх	<i>Выбранный режим работы</i>
000	<i>Запретить режим сравнения</i>
001	<i>Не использовать</i>
010	<i>Не использовать</i>
011	<i>Не использовать</i>
100	<i>Режим сравнения 0:</i> Разрешает режим сравнения “двойного-регистра” для регистров СС8...СС11 и СС28...СС31.
101	<i>Режим сравнения 1: Переключает сигнал на выходном выводе при каждом совпадении</i> Этот режим требуется для режима сравнения “двойного-регистра” для регистров СС0...СС7 и СС16...СС23.
110	<i>Не использовать</i>
111	<i>Режим сравнения 3: Устанавливает вывод выхода при каждом совпадении.</i> Сбрасывает вывод выхода при каждом переполнении таймера.

Режимы сравнения

Режимы сравнения допускают переключение событий (перепады выходного сигнала) с минимальными затратами по программированию. Во всех режимах сравнения 16-битовое значение, хранящееся в регистре сравнения ССх (LongImpSlowPWMх) (в дальнейшем также называемое «сравниваемое значение»), непрерывно сравнивается с содержанием используемого таймера (Т0/Т1 или Т7/Т8). Если текущее содержание таймера совпадает со сравниваемым значением, может генерироваться соответствующий выходной сигнал (зависящий от выбранного режима сравнения) на соответствующем выходном выводе ССхОУТ.

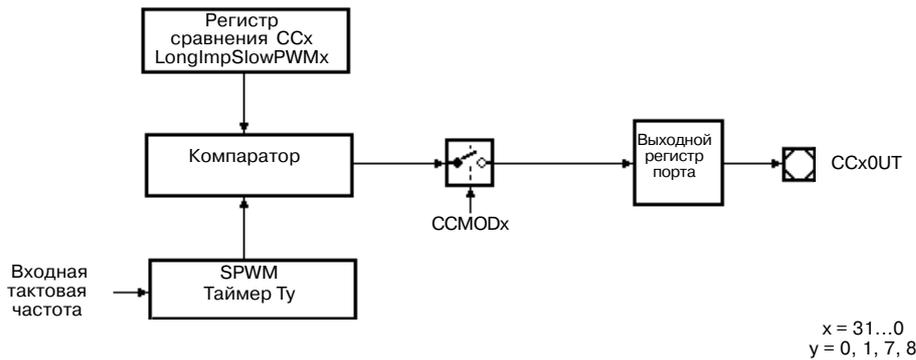
В режиме сравнения регистры обрабатываются последовательно. Когда любые два регистра сравнения запрограммированы на одно и то же сравниваемое значение, в течение 8 тактов после достижения используемым таймером сравниваемого значения, устанавливается в «1», и генерируются выбранные выходные сигналы. Дальнейшие события сравнения для сравниваемого значения запрещены до тех пор, пока таймер не инкрементируется снова или не будет записан программно. После сброса события сравнения для регистра ССх будут разрешены, если используемый таймер был инкрементирован или записан программно, и был выбран один из режимов сравнения, описанных далее.

Различные режимы сравнения, которые можно программировать для данного регистра сравнения ССх, выбираются полем управления режимом ССМОДх в соответствующем регистре управления режимом. Далее описывается подробно каждый из режимов сравнения, включая специальный режим двойного-регистра.

Режим сравнения 0

Если используется только для регистров СС8...СС11 или СС28...СС31, то разрешается режим сравнения двойного-регистра, если соответствующий регистр банка 1 запрограммирован на режим сравнения 1 (см. раздел «Режим сравнения двойного-регистра»).

Режим сравнения 0 выбирается для данного регистра сравнения ССх путем установки битового поля ССМОДх соответствующего регистра управления режимом в ‘100b’.

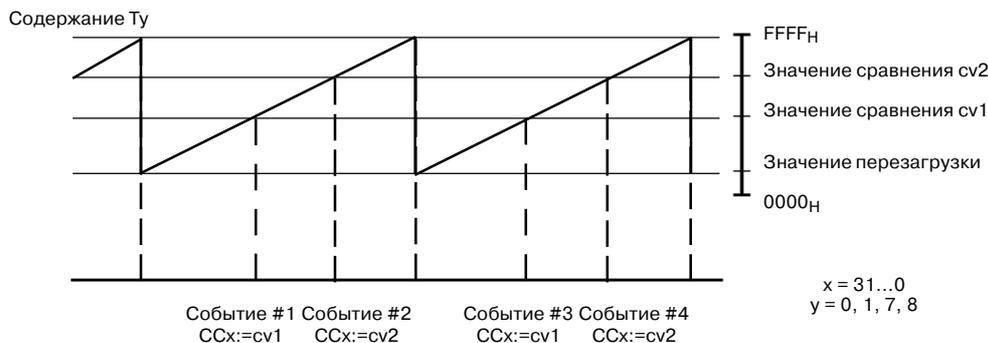


**Структурная
схема
режима
сравнения 0 и 1**

Замечание:

Вывод и выходной регистр порта остаются не используемыми в режиме сравнения 0.

На примере ниже, значение сравнения в регистре CCx изменяется из cv1 в cv2 после событий №1 и №3 и изменяется из cv2 в cv1 после событий №2 и №4 и т.д.



**Временная
диаграмма для
режима
сравнения 0 и 1**

Вывод выхода CCxOUT изменяется только в режиме 1. Не изменяется в режиме 0.

Режим сравнения 1

Режим сравнения 1 выбирается для регистра CCx путем установки битового поля CCMODx соответствующего регистра управления режимом в '101b'.

Когда в этом режиме происходит совпадение между содержимым выбранного таймера и сравниваемым значением в регистре CCx, сигнал на соответствующем выходном выводе CCxOUT (альтернативная функция выхода порта) изменяется на противоположный.

Режим сравнения 1 допускает несколько событий сравнения за один период таймера. Переполнение выбранного таймера не влияет на выходной вывод и не запрещает или разрешает дальнейшие события сравнения.

Чтобы использовать соответствующий вывод порта в качестве выходного вывода CCxOUT для сигнала сравнения регистра сравнения CCx в режиме сравнения 1, этот вывод порта должен быть сконфигурирован как выход, т.е. соответствующий бит управления направлением должен быть установлен в «1». При такой конфигурации начальное значение выходного сигнала можно запрограммировать, или его состояние можно изменить в любое время, записывая в выходной регистр порта.

В режиме сравнения 1 регистр порта переключается при каждом событии сравнения (см. примеры на временной диаграмме выше).

Замечание:

Если выходной регистр порта записывается программно, и в то же время он меняется событием сравнения, то приоритет имеет программная запись. В этом случае аппаратное переключение не происходит.

Если режим сравнения 1 программируется для одного из регистров CC0...CC3 или CC20...CC23, для этого регистра становится разрешенным режим сравнения двойного регистра, если соответствующий регистр банка 2 запрограммирован на режим сравнения 0 (см. раздел «Режим сравнения двойного регистра»).

Замечание:

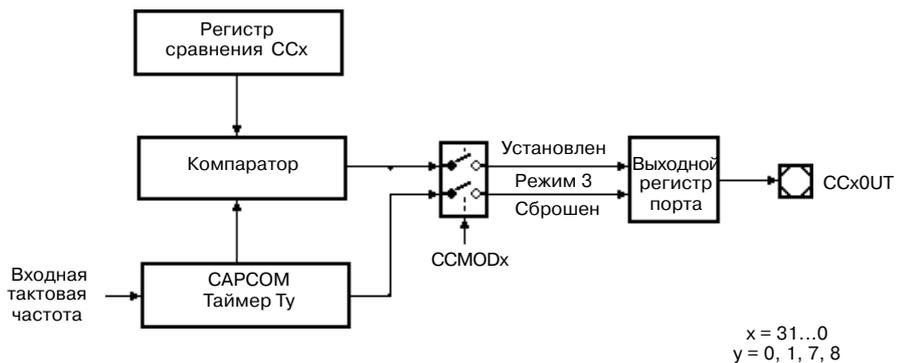
Если выходной регистр порта записывается программно, и в то же время он изменяется событием сравнения, то приоритет имеет программная запись. В этом случае аппаратное переключение не происходит.

Режим сравнения 3

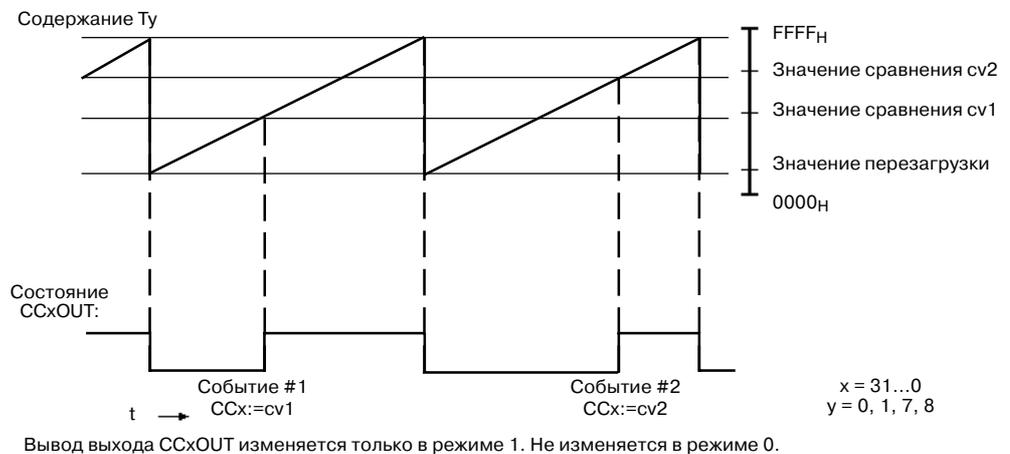
Режим сравнения 3 выбирается для данного регистра сравнения CCx путем установки битового поля CCMODx соответствующего регистра управления режимом в '110b'.

В режиме сравнения 3 будет генерироваться только одно событие сравнения за период таймера.

Структурная
схема
режима
сравнения 3



Временная
диаграмма для
режима
сравнения 3



Когда первый раз обнаружено совпадение во время периода таймера, и сигнал на соответствующем выходном выводе ССхOUT (альтернативная функция выхода порта) будет установлен в «1». Вывод будет переустановлен в «0», когда переполнится выбранный таймер.

Если было обнаружено совпадение для регистра ССх в этом режиме, то все дальнейшие события сравнения в течение текущего периода таймера запрещены для ССх до переполнения соответствующего таймера. Если после обнаружения совпадения, регистр сравнения перезагружается новым значением, то это значение не учитывается до следующего периода таймера.

Чтобы использовать соответствующий вывод порта как выходной вывод ССхOUT сигнала сравнения для регистра сравнения ССх в режиме сравнения 3, этот вывод порта должен быть сконфигурирован как выход, т.е. соответствующий бит управления направлением должен быть установлен в «1». При такой конфигурации, начальное значение выходного сигнала можно запрограммировать или его состояние можно изменить в любое время, записывая в выходной регистр порта.

В режиме сравнения 3 выходной регистр порта устанавливается при каждом событии сравнения и обнуляется при каждом переполнении таймера (см. временную диаграмму).

Однако, когда значение перезагрузки и сравнения для канала равны, выходной сигнал не изменяется (установка и очистка в этом случае будут совпадать).

Замечание:

Если выходной регистр порта записывается программно, и в то же время он изменяется событием сравнения, то приоритет имеет программная запись. В этом случае аппаратное переключение не происходит.

Режим сравнения двойного регистра

В режиме сравнения двойного регистра два регистра сравнения работают вместе для управления одним выходным выводом. Этот режим выбирается специальной комбинацией режимов этих двух регистров.

Для режима двойного регистра 8 регистров ССх каждого узла SPWM считаются двумя банками по 4 регистра каждый. Регистры СС0...СС3 и СС20...СС23 образуют банк 1, а регистры СС8...СС11 и СС28...СС31 образуют банк 2. Для режима двойного регистра регистры банка 1 и банка 2 образуют пару регистров. Оба регистра этой пары регистров работают с выводом, ассоциированным с регистром банка 1 (выводы СС0OUT...СС4OUT и СС20OUT...СС23OUT).

Пары регистров для режима сравнения двойного регистра

Узел SPW1		Ассоциированный вывод выхода	Узел SPW2		Ассоциированный вывод выхода
Пара регистров			Пара регистров		
Банк 1	Банк 2		Банк 1	Банк 2	
СС0	СС8	СС0OUT	СС20	СС28	СС20OUT
СС1	СС9	СС1OUT	СС21	СС29	СС21OUT
СС2	СС10	СС2OUT	СС22	СС30	СС22OUT
СС3	СС11	СС3OUT	СС23	СС31	СС23OUT

Режим сравнения двойного регистра может программироваться индивидуально для каждой пары регистров. Для разрешения режима сравнения двойного регистра соответствующий регистр банка 1 (см. табл.) должен программироваться в режим сравнения 1, а соответствующий регистр банка 2 (см. табл.) должен программироваться в режим сравнения 0.

Если соответствующий регистр сравнения банка 1 запрещен или запрограммирован на режим отличный от режима 1, соответствующий регистр банка 2 будет работать в режиме сравнения 0.

В дальнейшем, ссылки на регистр банка 2 (программируется в режим сравнения 0) будут обозначаться CCz, а ссылки на регистр банка 1 (программируется в режим сравнения 1) будут обозначаться CCx.

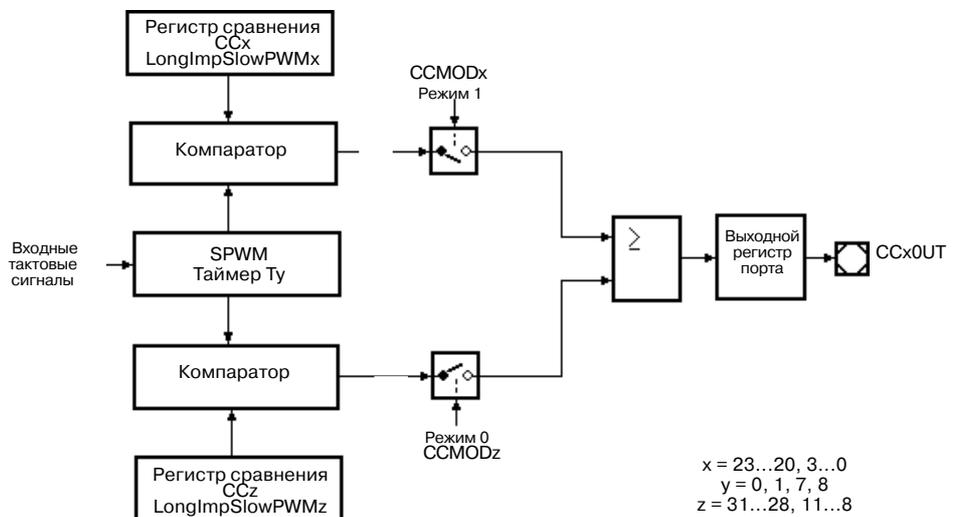
При обнаружении совпадения для одного из двух регистров в паре регистров (CCx или CCz) флаг запроса прерывания (CCxIR или CCzIR) устанавливается в «1», и сигнал на выводе CCxOUT соответствующий регистру банка 1 CCx изменяется на противоположный. Генерируемое прерывание всегда соответствует регистру, содержимое которого совпало с таймером.

Замечание:

Если совпадение произошло одновременно для двух регистров CCx и CCz, вывод пары регистров CCxOUT будет переключаться только один раз.

Чтобы использовать соответствующий вывод порта как выходной вывод CCxOUT сигнала сравнения для регистра сравнения CCx в режиме сравнения двойного регистра, этот вывод порта должен быть сконфигурирован как выход, т.е. соответствующий бит управления направлением должен быть установлен в «1». При такой конфигурации, вывод выхода имеет те же характеристики как в режиме сравнения 1.

**Структурная
схема режима
сравнения
двойного
регистра**

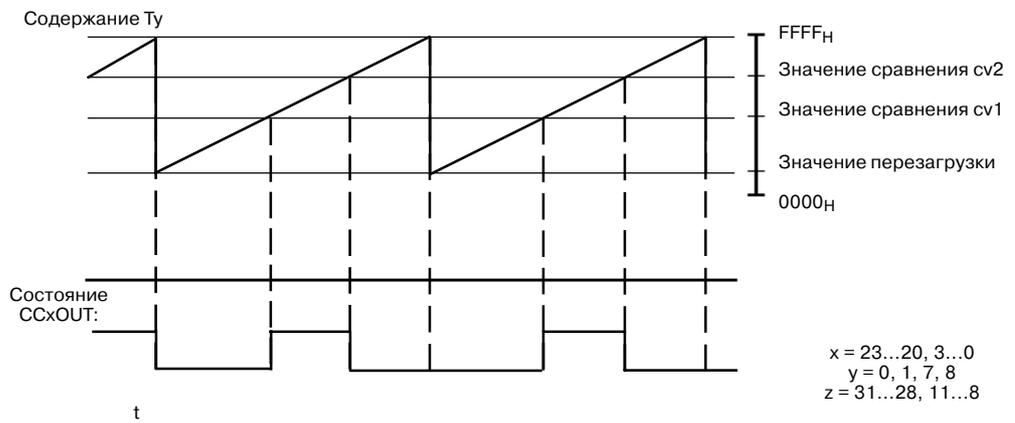


В этом примере оба регистра сравнения отнесены к одному таймеру, но возможно и использование регистров с различными таймерами соответствующих блоков SPWM. В примере временной диаграммы для этого режима сравнения, значения сравнения в регистрах CCx и CCz не изменяются.

Замечание:

Выходы CCzOUT (которые не используются для режима сравнения двойного регистра) могут использоваться для обычного ввода вывода.

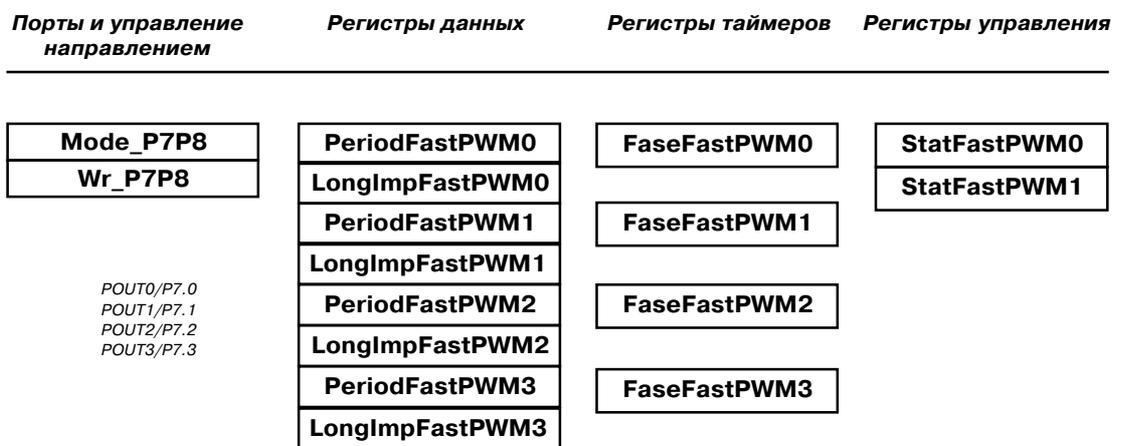
**Временная
диаграмма для
режима
двойного
сравнения**



Для вывода необходимых сигналов блока SPWM необходимо установить соответствующие регистры управления направлением портов P2, P7 и P8 на выход.

10. Блок быстрой широтно-импульсной модуляции (PWM)

Модуль широтно-импульсной модуляции (ШИМ) позволяет формировать до 4-х независимых сигналов ШИМ. Диапазон частот ШИМ сигналов от 4.8 Гц до 10 МГц для выровненных по фронту сигналов. Для выровненных по центру сигналов диапазон частот колеблется от 2.4 Гц до 5 МГц (см. детальное описание). Минимальное значение зависит от разрядности (16 бит) и разрешения (CLK/1 или CLK/64) таймеров блока ШИМ (где CLK – тактовая частота). Максимальные значения предполагают, что выходной сигнал ШИМ меняется с каждым циклом соответствующего таймера. В реальном использовании максимальная частота сигналов ШИМ будет зависеть от требуемого разрешения выходного сигнала ШИМ.



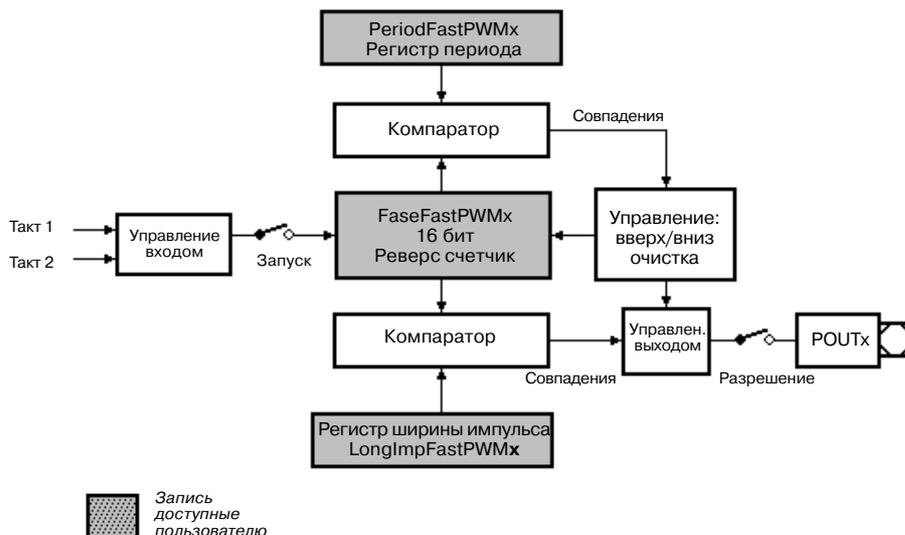
Регистры и выводы порта, ассоциированные с блоком SPWM

<i>Mode_P7P8</i>	<i>Регистр управления направлением</i>
<i>Wr_P7P8</i>	<i>Регистр данных порта 7</i>
<i>PeriodFastPWMx</i>	<i>Регистр периода</i>
<i>LongImpFastPWMx</i>	<i>Регистр ширины импульса</i>
<i>FaseFastPWMx</i>	<i>Регистр счетчик PTx</i>
<i>StatFastPWMx 0/1</i>	<i>Регистр управления модуля ШИМ</i>

Модуль ШИМ состоит из 4-х независимых каналов ШИМ. Каждый канал содержит:

- 16-разрядный реверсивный счетчик PTx (**FaseFastPWMx**),
- 16-разрядный регистр периода PPx (**PeriodFastPWMx**),
- 16-разрядный регистр ширины импульса PWx (**LongImpFastPWMx**),
- два компаратора
- и необходимую управляющую логику.

Работа всех четырёх каналов управляется двумя общими регистрами управления, StatFastPWM0 и StatFastPWM1.



Структурная
схема канала
ШИМ

Режимы работы

Модуль ШИМ имеет четыре режима работы:

- **Режим генерации стандартного ШИМ сигнала** (синхронизация ШИМ по фронту), для 4-х каналов
- **Режим генерации симметричного ШИМ сигнала** (синхронизация ШИМ по центру), для 4-х каналов
- **Режим генерации пакетов импульсов** (*Burst mode*) объединяет каналы 0 и 1
- **Режим одновибратора** (*Single shot mode*), только для каналов 2 и 3

Замечание:

Выходные сигналы модуля ШИМ объединяются по модулю 2 (XOR) с выходами соответствующего выходного регистра порта. После сброса эти регистры очищаются, так что сигналы ШИМ напрямую выводятся на выводы порта. Устанавливая в «1» соответствующий выходной регистр порта, сигнал ШИМ можно инвертировать (объединять по модулю 2 (XOR) с «1») до вывода на вывод порта. Описания ниже относятся к стандартному случаю после сброса, т.е. непосредственный вывод.

Режим 0:

Режим генерации стандартного ШИМ сигнала (синхронизация ШИМ по фронту)

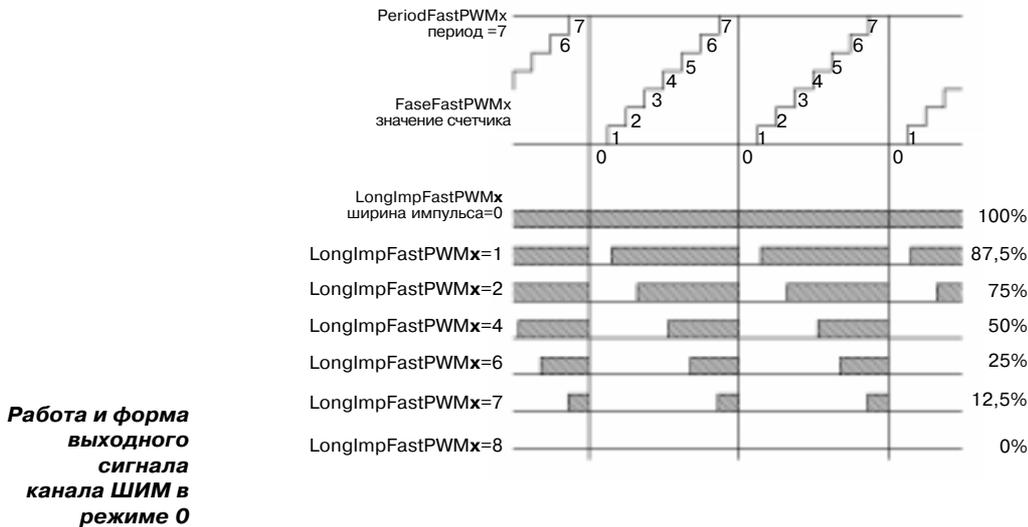
Режим 0 выбирается путем обнуления бита PMx регистра StatFastPWM1. В этом режиме счётчик FaseFastPWMx соответствующего канала ШИМ наращивает своё значение до тех пор, пока не достигнет значения регистра периода. Во время прихода следующего импульса счётчик сбрасывается в 0000h и далее продолжает считать, наращивая своё значение по приходу входных импульсов. Выходной сигнал ШИМ переключается в состояние лог.1, когда значение счётчика равно или больше, чем содержимое регистра ширины импульса. Сигнал переключается обратно в состояние лог.0, когда соответствующий счётчик сбрасывается в 0000h, т.е. его значение меньше значения регистра ширины импульса. Период результирующего сигнала ШИМ определяется по величине соответствующего PeriodFastPWMx регистра периода плюс 1, при подсчете в значениях разрешения счётчика.

$$PWM_PeriodMode0=[PeriodFastPWMx]+1$$

Коэффициент заполнения выходного ШИМ сигнала управляется значением соответствующего регистра ширины импульса. Этот механизм позволяет выбрать коэффициент от 0% до 100%, включая границы. Для значения 0000h выходной сигнал сохранится в состоянии лог.1, соответствующая коэффициенту заполнения 100%. Для значения большего, чем значение в регистре

периода, выходной сигнал сохранится в состоянии лог.0, что соответствует коэффициенту заполнения 0%.

Рисунок ниже иллюстрирует работу и форму выходного сигнала канала ШИМ в режиме 0 для различных значений в теновом регистре ширины импульса. Этот режим относится к синхронизации ШИМ по фронту, так как значение в регистре ширины импульса оказывает влияние на изменение выходного сигнала лог. 0 в лог. 1, изменение выходного сигнала лог 1 в лог 0, всегда фиксировано и связано с обнулением счётчика.

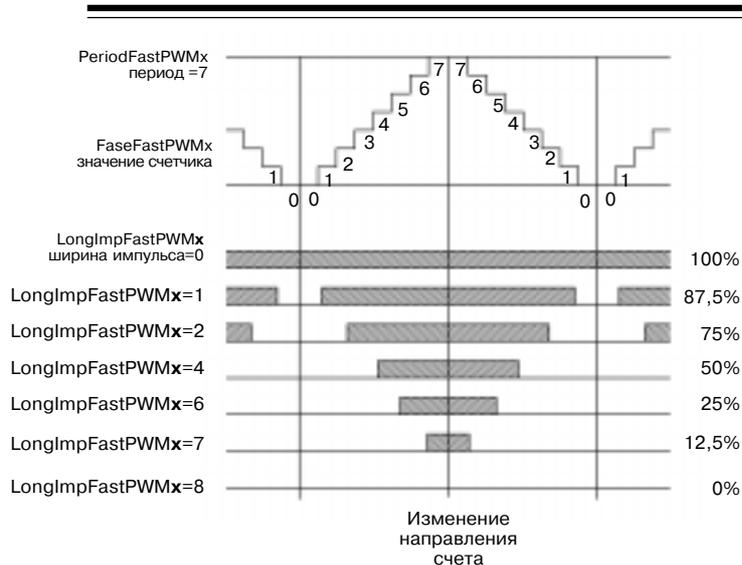


**Режим 1:
Генерация симметричного ШИМ сигнала (Center Aligned PWM)**

Режим 1 выбирается путем установки соответствующего бита PMx регистра StatFastPWM1 в '1'. В этом режиме счётчик FaseFastPWMx, соответствующего канала ШИМ, наращивает своё значение до тех пор, пока не достигнет значения регистра периода. Во время прихода следующего импульса направление счета изменяется, и счётчик начинает считать вниз, пока не достигнет значения 0000h. Следующий импульс снова изменяет направление счета, повторяя цикл генерации симметричного ШИМ сигнала. Заметьте, что в режиме 1 период сигнала ШИМ равен двум периодам счётчика:

$$PWM_PeriodMode1 = 2 * ([PeriodFastPWMx] + 1)$$

Работа и форма выходного сигнала канала ШИМ в режиме 1



Предыдущий рисунок иллюстрирует работу и форму выходного сигнала канала ШИМ в режиме 1 для различных значений в регистре ширины импульса. Этот режим относится к синхронизации ШИМ по центру, так как значение теневого регистра ширины импульса отражает изменение обоих фронтов выходного сигнала симметрично.

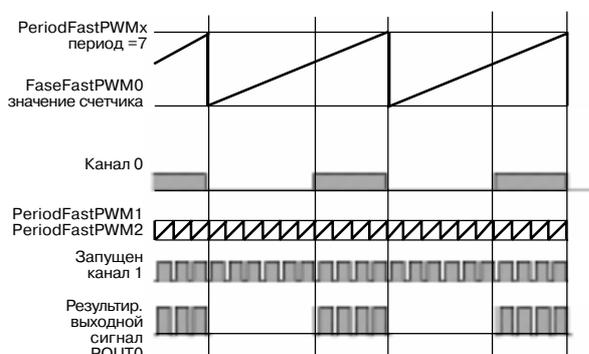
Режим генерации пакетов импульсов (Burst Mode)

Режим генерации пакетов импульсов выбирается путем установки бита PB01 регистра StatFastPWM1 в '1'. Этот режим объединяет ШИМ сигналы каналов 0 и 1 на выходном выводе канала 0. Выход канала 0 заменяется логическим И (AND) каналов 0 и 1. Выход канала 1 можно использовать как вывод ассоциированного выхода (если он разрешен). Каждый из двух каналов может работать как в режиме 0 так и в режиме 1.

Замечание:

Аппаратно гарантировано, что никаких ложных пиков в этом режиме не появится на выходе канала 0. Выход логического И будет передаваться на выходной вывод синхронно с внутренней тактовой частотой.

Сначала объединяются каналы 0 и 1 на элементе AND, а затем сигнал ШИМ складывается со значением выходного регистра порта на элементе XOR.



Работа и форма выходного сигнала канала в режиме генерации импульсов

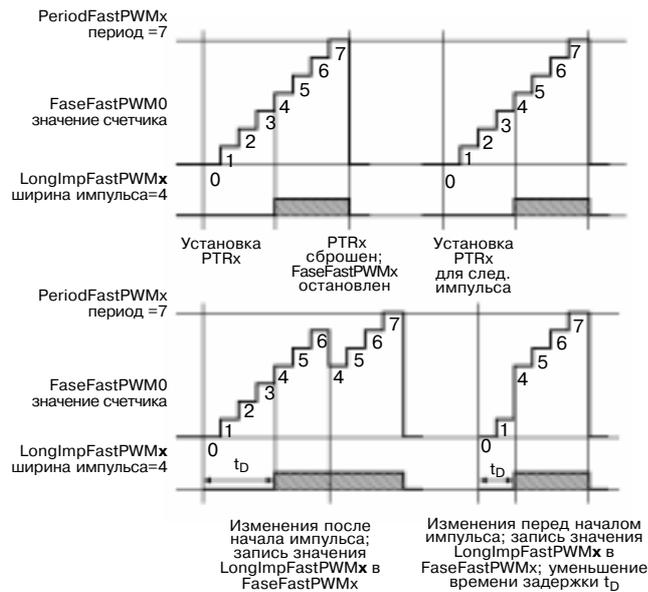
Режим одновибратора (Single Shot Mode)

Режим одновибратора выбирается путем установки соответствующего бита PSx регистра StatFastPWM1 в '1'. Этот режим разрешен для 2 и 3 каналов ШИМ.

В режиме одновибратора счётчик FaseFastPWMx, соответствующего ШИМ канала, запускается программно и наращивает своё значение до тех пор, пока не достигнет значения регистра периода. С приходом следующего импульса счётчик обнуляется в 0000h и останавливается аппаратно, т.е. соответствующий бит PTRx обнуляется. Выходной сигнал ШИМ переключается в состояние лог.1, когда значение счётчика больше или равно значению регистра ширины импульса. Сигнал переключается обратно в состояние лог.0, когда соответствующий счётчик обнуляется, т.е. ниже значения регистра ширины импульса. Таким образом, запуск счётчика FaseFastPWMx в режиме одновибратора дает один импульс на соответствующем выводе порта, при условии, что значение ширины импульса находится между 0000h и значением периода. Для генерации следующего импульса счётчик нужно запускать снова программным путем, устанавливая бит PTRx.

После запуска счётчика (т.е. PTRx='1') выходной сигнал можно изменять программно. При записи в счётчик FaseFastPWMx изменяется фронт и/или спад выходного сигнала, в зависимости от того начался импульс (т.е. выход в лог.1) или нет (т.е. выход все еще в лог.0). Это (множественное) переключение всегда возможно, пока счётчик запущен, т.е. после начала импульса и перед остановкой счётчика.

**Работа и форма
выходного
сигнала
канала ШИМ в
режиме
одновибратора**



Загрузка счётчика FaseFastPWMx значением соответствующего регистра периода PeriodFastPWMx приведет к обрыву текущего импульса ШИМ при следующем тактовом импульсе (счётчик обнуляется и останавливается аппаратно).

При правильной установке значения регистра периода (PeriodFastPWMx), начального значения счётчика (FaseFastPWMx) и значения ширины импульса (LongImpFastPWMx), ширина импульса (t_w) и задержка импульса (t_d) могут изменяться в широком диапазоне.

Регистры ШИМ модуля

ШИМ модуль управляется двумя наборами регистров. Форма сигнала выбирается регистрами FaseFastPWMx (счётчик), регистрами PeriodFastPWMx (период) и регистрами LongImpFastPWMx (ширина импульса). Три общих регистра управляют режимом работы и основными функциями (StatFastPWM0 и StatFastPWM1) модуля ШИМ.

Реверсивные счётчики FaseFastPWMx

Каждый счётчик FaseFastPWMx модуля ШИМ тактируется как напрямую от тактовой частоты, так и от тактовой частоты разделенной на 64. Битом PTRx в регистре StatFastPWM0 выбирается источник тактирования. Счётчик ШИМ наращивает или уменьшает своё значение (аппаратное управление), когда установлен соответствующий бит управления выполнением PTRx. Запускается счётчик программно (PTRx='1') и останавливается (PTRx='0') как аппаратно, так и программно, в зависимости от режима работы.

Бит управления PTRx разрешает или запрещает подачу импульсов на счётчик StatFastPWM0x, а не управляет выходным сигналом ШИМ.

Таблица показывает частоты ШИМ, которые получаются из различных комбинаций режима работы, разрешения таймера (входная тактовая частота) и разрешения ширины импульса.

Входная тактовая частота и режим (разрешение счетчика)	8-бит разрешение ШИМ	10-бит разрешение ШИМ	12-бит разрешение ШИМ	14-бит разрешение ШИМ	16-бит разрешение ШИМ
F (50 нс) Режим 0	78.13 КГц	19.53 КГц	4.88 КГц	1.22 КГц	305 Гц
F / 64 (3.2 мс) Режим 0	1.22 КГц	305 Гц	76.3 Гц	19.1 КГц	4.77 Гц
F (50 нс) Режим 1	39.1 КГц	9.77 КГц	2.44 КГц	610 Гц	152.6 Гц
F / 64 (3.2 мс) Режим 1	610 Гц	152.6 Гц	38.15 Гц	9.54 КГц	2.4 Гц

Регистры периода *PeriodFastPWMx*

16-битовые регистры периода *PeriodFastPWMx* канала ШИМ определяют период цикла ШИМ, т.е. частоту сигнала ШИМ. Этот регистр буферизируется регистром периода. Регистр периода загружается из соответствующего регистра *PeriodFastPWMx* в начале каждого нового цикла ШИМ или при записи в регистр *PeriodFastPWMx*, когда счётчик остановлен.

В модуле аппаратно сравнивается содержимое регистра периода *PeriodFastPWMx* с содержимым соответствующего счётчика *FaseFastPWMx*. При обнаружении совпадения между счётчиком и регистром периода *PeriodFastPWMx* счётчик либо сбрасывается в 0000h, либо изменяется направление счета с наращивания на уменьшение, в зависимости от выбранного режима работы этого канала ШИМ.

Регистры ширины импульсов *LongImpFastPWMx*

16-битовый регистр удерживает действительное значение ширины импульса ШИМ, которое соответствует ширине цикла сигнала ШИМ. В модуле аппаратно сравнивается содержимое теневого регистра ширины импульсов *LongImpFastPWMx* с содержимым соответствующего счётчика *FaseFastPWMx*. Регистр ширины импульсов загружается из соответствующего регистра *LongImpFastPWMx* в начале каждого нового цикла ШИМ или при записи в регистр *LongImpFastPWMx*, когда счётчик остановлен.

Когда значение счетчика больше или равно значению теневого регистра ширины импульсов, устанавливается сигнал ШИМ, в противном случае он сбрасывается. Выход компараторов можно описать формулой:

$$\begin{aligned} \text{Выходной сигнал ШИМ} &= [\text{FaseFastPWMx}] > \\ &= [\text{LongImpFastPWMx} \text{ регистр ширины импульсов}] \end{aligned}$$

Этот тип сравнения обеспечивает гибкое управление сигнала ШИМ.

Регистр управления модуля ШИМ *StatFastPWM0*

Регистр управления *StatFastPWM0* управляет работой счётчиков четырех каналов модуля ШИМ и специальными прерываниями каналов. Наличие битов управления, организованных в функциональные группы, позволяет, например, запускать или останавливать все 4 счётчика модуля ШИМ одновременно при помощи одной команды битового поля.

StatFastPWM0																Значение после сброса: XXXXh				Бит	Функция
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					PTRx	Бит запуска счётчика x модуля ШИМ
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-						0: счётчик <i>FaseFastPWMx</i> отсоединен от тактовых импульсов
								PTI3	PTI2	PTI1	PTI0	PTR3	PTR2	PTR1	PTI0						1: счётчик <i>FaseFastPWMx</i> запущен
												PTIx						Выбор входной тактовой частоты счётчика x модуля ШИМ			
																	0: счётчик PTx тактируется CLK				
																	1: счётчик PTx тактируется CLK /64				

Регистр управления модуля ШИМ *StatFastPWM1*

Регистр *StatFastPWM1* управляет режимами работы и выходами 4 каналов модуля ШИМ. Основной режим работы для каждого канала (стандартный, синхронизированный по фронту или симметричный, синхронизированный по центру) выбирается битами режима *PMx*. Режим генерации пакетов импульсов (канал 0 и 1) и режим одновибратора (канал 2 или 3) выбираются отдельными битами управления. Выходной сигнал каждого канала ШИМ разрешаются индивидуально битами *PENx*. Если выход не разрешен, то соответствующий вывод можно использовать для обычного ввода вывода, а канал модуля ШИМ можно использовать только для генерации запроса на прерывание.

StatFastPWM1 Значение после сброса: XXXXн

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PS3	PS2	-	PB01	-	-	-	-	PM3	PM2	PM1	PM0	PEN3	PEN2	PEN1	PEN0

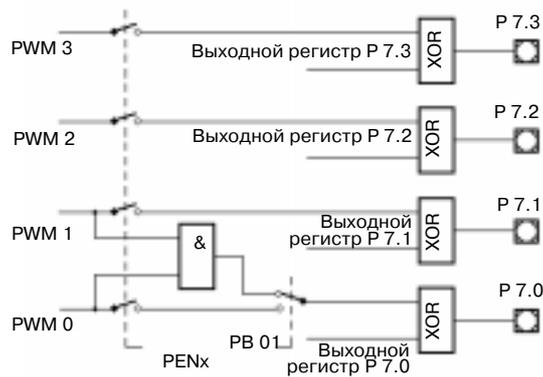
Бит	Функция
PENx	<i>Бит разрешения выхода для канала x модуля ШИМ</i> 0: Выходной сигнал канала x запрещен, генерируется только прерывание 1: Выходной сигнал канала x разрешен
PMx	<i>Бит управления режимом для канала x модуля ШИМ</i> 0: Канал x работает в режиме 0, т.е. выровненный по фронту ШИМ сигнал 1: Канал x работает в режиме 1, т.е. выровненный по центру ШИМ сигнал
PB01	<i>Бит управления режимом генерации пакетов импульсов для 0/1 канала ШИМ</i> 0: Каналы 0 и 1 работают независимо в соответствующих стандартных режимах 1: Выходы каналов 0 и 1 объединены функцией AND (режим генерации пакетов импульсов)
PSx	<i>Бит управления режимом одновибратора канала x модуля ШИМ</i> 0: Канал x работает в соответствующем стандартном режиме 1: Канал x работает в режиме одновибратора

Выходные сигналы ШИМ

Выходные сигналы четырех каналов ШИМ (POUT3...POUT0) являются альтернативными функциями порта 7 (P7.3...P7.0). Выходной сигнал каждого канала ШИМ индивидуально разрешается битом управления PENx в регистре StatFastPWM1.

Сигналы ШИМ складываются по модулю 2 (исключающее ИЛИ) с соответствующим выходом регистра порта перед выходом в вывод порта. Это позволяет выводить сигнал ШИМ прямо на вывод порта (P7.x='0') или выводить инвертированный сигнал (P7.x='1').

Генерация выходных сигналов ШИМ



Программное управление выходами ШИМ

При использовании выходные сигналы ШИМ в основном управляются модулем ШИМ. Однако, может понадобиться изменять уровень выходных выводов ШИМ программно как для инициализации системы, так и для реакции на необычные условия, например, сбой системы или авария.

Обнуление бита запуска таймера PTRx останавливает соответствующий таймер и оставляет соответствующий выход на текущем уровне.

Индивидуальные выходы канала ШИМ управляются компараторами по формуле:

$$\begin{aligned} \text{Выходной сигнал ШИМ (PWM output signal)} &= [\text{FaseFastPWMx}] > \\ &= [\text{LongImpFastPWMx регистр}] \end{aligned}$$

Так что когда бы программно не изменился регистр FaseFastPWMx, соответствующий выход отразит состояние после изменения. При загрузке таймера FaseFastPWMx значением большим или равным значения FaseFastPWMx мгновенно устанавливается соответствующий выход. При загрузке таймера FaseFastPWMx значением меньшим значения FaseFastPWMx обнуляется соответствующий выход.

Обнуление или установка соответствующего выходного регистра порта 7 дает прямой или инвертированный выходной сигнал канала ШИМ на вывод порта.

Обнуление бита разрешения PENx отсоединяет канал ШИМ и устанавливает соответствующий вывод порта в значение выходного регистра порта.

Замечание: Чтобы прекратить импульсы ШИМ после программного вмешательства, нужно сначала остановить соответствующий счетчик.

11. Аналого-цифровой 16 канальный 10-разрядный преобразователь (АЦП)

Модуль KM104 имеет встроенный аналого-цифровой преобразователь (АЦП) с разрешением 10-бит. Мультиплексор выбирает один из 16 каналов входа (альтернативные функции порта 5).

Для удовлетворения большинства требований по управлению АЦП поддерживает следующие режимы преобразования:

- **режим однократного преобразования для одного выбранного канала**, дает только один результат для выбранного канала
- **режим повторяющегося преобразования для одного выбранного канала**, непрерывно повторяет преобразование выбранного канала
- **режим однократного преобразования выбранной группы каналов**
- **режим повторяющегося преобразования выбранной группы каналов**

Набор регистров и выводов порта обеспечивают доступ к функциям управления и результатам АЦП. Входные сигналы подаются на выводы порта 5.

Регистры данных

StartBufIntADC0_0
StartBufIntADC0_1
StartBufIntADC1_0
StartBufIntADC1_1

.....

StartBufIntADC15_0
StartBufIntADC15_1
ParamFillADC

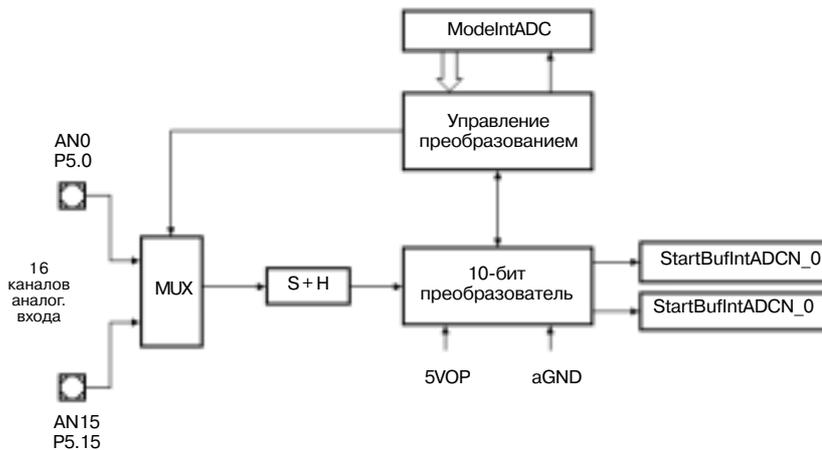
Регистры управления

ModeIntADC
StatBufIntADC0
StatBufIntADC1

Регистры с АЦП

<i>ParamFillADC</i>	Регистр хранения константы для заполнения буфера результата
<i>ModeIntADC</i>	Регистр управления АЦП
<i>StatBufADC0</i>	Регистр состояния кольцевых буферов 0 хранения результата
<i>StatBufADC1</i>	Регистр состояния кольцевых буферов 1 хранения результата
<i>StartBufIntADCN_0</i>	Начало кольцевого буфера 0 хранения результата канала N, где N=0... 15
<i>StartBufIntADCN_1</i>	Начало кольцевого буфера 1 хранения результата канала N, где N=0... 15

Опорное напряжение – фиксировано (5 вольт). Отдельное опорное напряжение для АЦП уменьшает интерференцию с другими цифровыми сигналами.



Структурная схема АЦП

Выбор режима и работа

Аналоговые входные каналы AN0...AN15 являются альтернативными функциями порта 5, 16-разрядного порта только для ввода. Каналы порта 5 можно использовать как аналоговые или как цифровые входы.

Регистр управления ModelIntADC управляет функциями АЦП. Его битовые поля определяют рабочий аналоговый канал, режим преобразования.

ModelIntADC															
Значение после сброса: 103F _h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADSTC	ADSTC	-	-	-	-	ADST	-	ADM					ADCH		

*) ADSTC и ADSTC управляют временными характеристиками преобразования.

Смотри "Управление временными характеристиками преобразования".

Бит	Функция
ADCH	Выбор аналогового канала АЦП
ADM	Выбор режима АЦП 00: Однократное преобразование одного выбранного канала 01: Повторяющееся преобразование одного выбранного канала 10: Однократное преобразование каждого канала из выбранной группы каналов 11: Повторяющееся преобразование выбранной группы каналов
ADST	Бит запуска АЦП
ADSTC	Управление временем выборки АЦП *)
ADCTC	Управление временем преобразования АЦП *)

Битовое поле ADCH определяет аналоговый входной канал, который нужно преобразовывать или первый канал последовательности преобразования в режимах для выбранной группы каналов, в этом случае преобразование всегда заканчивается 0 каналом.

В режиме однократного или повторяющегося преобразования выбранной группы каналов преобразование начинается с номера канала, определяемого битовым полем ADCH и, уменьшаясь, заканчивается каналом 0.

Битовое поле ADM выбирает режим работы АЦП. Преобразование (или последовательность преобразования для выбранной группы каналов) начинается с установки бита ADST. Обнуление ADST останавливает преобразование АЦП.

Запуск преобразования осуществляется при установке бита ADST регистра ModelIntADC в '1'.

С началом преобразования делается выборка уровня для входного канала, который определен полем выбора канала ADCH в регистре ModelIntADC. Уровень выборки затем будет удерживаться внутри АЦП во время преобразования. Когда преобразование этого канала завершится, 10-разрядный результат переносится в буферы хранения результата.

Если бит ADST сбрасывается программно, пока идет преобразование, АЦП остановится после текущего преобразования (режимы однократного преобразования канала) или после текущей последовательности преобразования (режимы повторяющегося преобразования).

Режимы преобразования для одного выбранного канала

Эти режимы выбираются путем программирования поля выбора режима ADM в регистре ModelIntADC значением '00b' (однократное преобразование) или '01b' (повторяющееся преобразование). При запуске преобразователя битом ADST начнется преобразование канала, определенного в битовом поле ADCH.

В режиме однократного преобразования преобразователь автоматически останавливается.

В режиме повторяющегося преобразования преобразователь автоматически начинает новое преобразование канала, определенного в ADCH.

Если бит ADST сбрасывается программно, пока идет преобразование, преобразователь закончит текущее преобразование и остановится.

Режимы преобразования для выбранной группы каналов

Эти режимы выбираются путем программирования поля выбора режима ADM в регистре ModelIntADC значением '10b' (однократное преобразование) или '11b' (повторяющееся преобразование). Режимы преобразования для выбранной группы каналов осуществляют автоматическое преобразование одиночных каналов, начиная с канала, определенного в битовом поле ADCH и заканчивая каналом 0, не требуя программной смены номера канала.

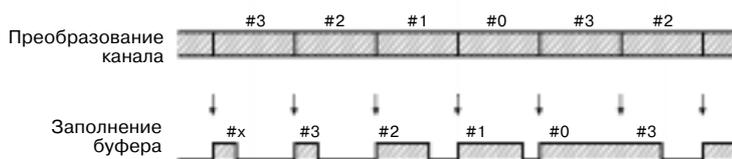
При запуске преобразователя битом ADST начинается преобразование канала, определенного в битовом поле ADCH. После окончания преобразования преобразователь автоматически начнет новое преобразование следующего по убыванию канала. После преобразования канала 0 текущая последовательность заканчивается.

В режиме однократного преобразования преобразователь автоматически останавливается.

В режиме повторяющегося преобразования, преобразователь автоматически начинает новое преобразование канала, определенного в ADCH.

Когда бит ADST сбрасывается программно, пока идет преобразование, преобразователь закончит текущее преобразование (включая преобразование канала 0) и остановится.

Пример режима преобразования для выбранной группы каналов



Управление временами преобразования

С началом преобразования емкости заряжаются через вывод аналогового входа до текущего напряжения аналогового входа. Время заряда емкостей относится к времени выборки. Затем выбранное напряжение преобразуется в цифровое значение за 10 последовательных шагов, которые соответствуют 10-разрядному разрешению АЦП. Следующие 4 шага используются для внутренней самокалибровки узла преобразователя. Во время этих 14 шагов внутренние емкости попеременно заряжаются и разряжаются через вывод VAREF.

Ток, который берется от источников для выборки и изменения зарядов зависит от времени, которое необходимо на каждый шаг, так как емкости должны достичь насыщения за отведенное время, по крайней мере с определенным приближением. Однако максимальный ток, который источник может дать, зависит от его внутреннего сопротивления.

Время, которое требуется на два различных действия при преобразовании (выборка и конвертация), можно программировать внутри определенного интервала в узле относительно тактовой частоты. Это позволяет настраивать АЦП на свойства системы:

Быстрое преобразование можно получить, программируя соответствующие времена на минимально возможные значения. Это предпочтительно для высокочастотных сигналов. Однако внутреннее сопротивление аналогового источника и источника опорного напряжения должны быть достаточно низкими.

Высокое внутреннее сопротивление можно получить, программируя соответствующие времена на максимально возможные значения. Это предпочтительно при использовании аналогового источника и источника опорного напряжения с высоким внутренним сопротивлением, чтобы держать ток как можно ниже. Однако скорость преобразования может быть значительно ниже.

Время преобразования программируется через четыре старших бита регистра ModelntADC. Битовое поле ADCTC (*Conversion Time Control*) выбирает тактовую частоту преобразования, используемую для 14 шагов преобразования. Время выборки кратно времени преобразования и выбирается битом полей ADSTC (*Sample Time Control*). Ниже в таблице даны возможные комбинации. Временные соответствия приведены в таблице.

ADCTC	Тактовая частота преобразования T_{sc}	ADSTC	Время выборки T_{sc}
00	0.6 мксек	00	T_{sc}
01	Зарезервирован. Не использовать.	01	$T_{sc} * 2$
10	2.4 мксек	10	$T_{sc} * 4$
11	1.2 мксек	11	$T_{sc} * 8$

Полное преобразование займет $14T_{sc} + 2T_{sc} + 0.1$ мксек. Это время включает само преобразование и время выборки.

Выходное сопротивление для аналогового источника:

$$R_{vx} = \frac{2T_{sc}}{0,500} - 0.25 \quad [\text{КОм}], \text{ где } T_{sc} \text{ в } [\text{мкс}]$$

$$R_{vx \text{ min}} = 2,15 \text{ КОм}$$

$$R_{vx \text{ max}} = 43,15 \text{ КОм}$$

12. Восьми канальный аналого-цифровой 12-разрядный преобразователь

Модуль КМ104 имеет аналого-цифровой преобразователь (АЦП) с разрешением 12-бит. Мультиплексор выбирает один из 8 каналов входа (выведены на разъем J11).

Максимальная скорость работы преобразователя – смотри страницу 7. Существует возможность увеличения скорости за счет других устройств. При необходимости увеличения скорости обращайтесь к разработчику.

АЦП поддерживает 2 диапазона уровней входного сигнала: ±5 Вольт, ±10 Вольт. Для каждого из каналов входное напряжение задаётся пользователем. Для диапазона входного напряжения ±5 Вольт входной аналоговый сигнал подается на соединенные входы Ainx.A и Ainx.B. Для диапазона входного напряжения ±10 Вольт сигнал подается на вход Ainx.A, а вход Ainx.B соединяется с общим проводом (aGND).

Опорное напряжение – фиксировано (2.5 Вольт). Отдельное опорное напряжение для АЦП уменьшает интерференцию с другими цифровыми сигналами.

Выходное опорное напряжение АЦП 2.5 Вольта. Это напряжение может использоваться в качестве опорного напряжения для ЦАП при установке переключателя JP3 в положение 2-3.

AGND и GND соединяются на плате перемычкой JP2.

АЦП поддерживает следующие режимы преобразования:

- режим повторяющегося преобразования для одного выбранного канала, непрерывно повторяет преобразование выбранного канала
- режим повторяющегося преобразования выбранной группы каналов

Набор регистров и выводов порта обеспечивают доступ к функциям управления и результатам АЦП. Входные сигналы подаются на выводы разъема J11.

Регистры данных

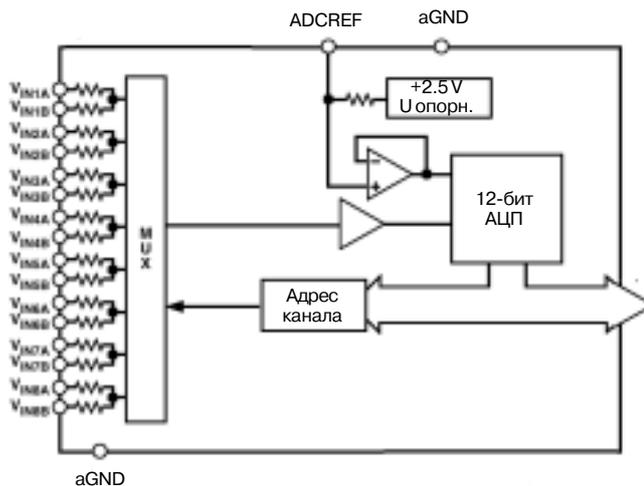
Регистры управления

StartBufExtADC0_0
StartBufExtADC0_1
StartBufExtADC1_0
StartBufExtADC1_1
.....
StartBufExtADC7_0
StartBufExtADC7_1
ParamFillADC

ModeExtADC
StatBufExtADC
ModeTimerExtADC
SampleExtADC

Регистры с АЦП

<i>ParamFillADC</i>	Регистр хранения константы для заполнения буфера результата
<i>ModelExtDC</i>	Регистр управления АЦП
<i>StatBufExtADC</i>	Регистр состояния кольцевого буфера хранения результата
<i>StartBufExtADCN_0</i> <i>N=0...7</i>	Начало кольцевого буфера 0 хранения результата канала N, где N=0...7
<i>StartBufExtADCN_1</i> <i>N=0...7</i>	Начало кольцевого буфера 1 хранения результата канала N, где N=0...7
<i>ModeTimerADC</i>	Регистр управления режимом таймера T6
<i>SampleExtADC</i>	Регистр перезагрузки данных таймера T6



Структурная
схема
12 разрядного
8 канального
АЦП

Выбор режима и работа

Регистр управления **ModeExtADC** управляет функциями АЦП. Его битовые поля определяют рабочий аналоговый канал и режим преобразования.

ModeExtADC

ModeExtADC																Значение после сброса: 0007н			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
-	-	-	-	-	-	-	ADM	-	-	-	-	-	-	-	ADCH				

Бит	Функция
ADCH	Выбор номера канала АЦП 000: 0 канал 001: 1 канал 111: 7 канал
ADM	Выбор режима АЦП 00: АЦП временно остановлен 01: Повторяющееся преобразование одного выбранного канала 10: Повторяющееся преобразование каждого канала из выбранной группы каналов 11: Не использовать

Битовое поле ADCH определяет аналоговый входной канал, который нужно преобразовывать (первый канал последовательности преобразования в режимах для выбранной группы каналов).

Битовое поле ADM выбирает режим работы АЦП.

При изменении режима работы статус буферов обнуляется. При запуске команды “старт/стоп” АЦП (не через команду SetModeExtADC) происходит запуск или останов АЦП в не зависимости от установки регистра ModeExtADC, т.е. если в регистре все “0”, и дана команда “старт” ADC, то ADC будет работать в режиме нулевого канала.

Результат преобразования канала N (где N = 0...7) хранится в кольцевом буфере 0 хранения результата и в кольцевом буфере 1 хранения результата.

Каждый кольцевой буфер содержит 64 регистра по 16 разрядов.

Адрес начала буфера канала N соответственно **StartBufExtADCN_0** и **StartBufExtADCN_1**, где где N = 0...7 – номер канала.

Результат преобразования записывается в младшие двенадцать разрядов, в старшие четыре разряда записываются нули.

Регистр **ParamFillADC** – 16-разрядный регистр хранения константы для заполнения буферов хранения результата, при необходимости. Возможно заполнение буферов хранения результата для любого канала значением помещенным в регистр ParamFillADC.

Состояние буферов 0 и 1 хранения результата для каналов 0-7 после запуска преобразования отражается состоянием битов в регистре **StatBufADC**. При полном заполнении буфера бит устанавливается в единицу.

StatBufExtADC

Значение после сброса: XXXX_n

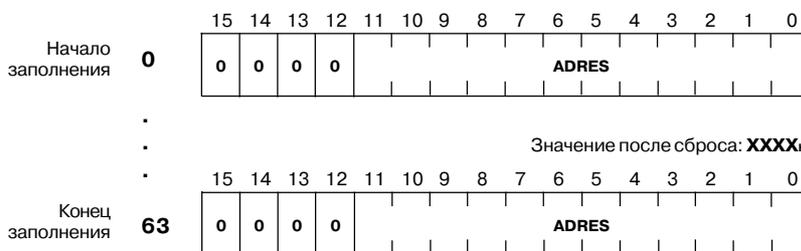
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S _{7_1}	S _{7_0}	S _{6_1}	S _{6_0}	S _{5_1}	S _{5_0}	S _{4_1}	S _{4_0}	S _{3_1}	S _{3_0}	S _{2_1}	S _{2_0}	S _{1_1}	S _{1_0}	S _{0_1}	S _{0_0}

Бит	Функция
SN_0	Статус буфера хранения результата 0 1: Буфер хранения результата полностью заполнен
SN_1	Статус буфера хранения результата 1 1: Буфер хранения результата полностью заполнен

Если к моменту полного заполнения буфера результат не считан, он замещается следующим результатом преобразования, то есть организован кольцевой буфер. Никаких флагов переполнения не предусмотрено.

StartBufExtADCN_0

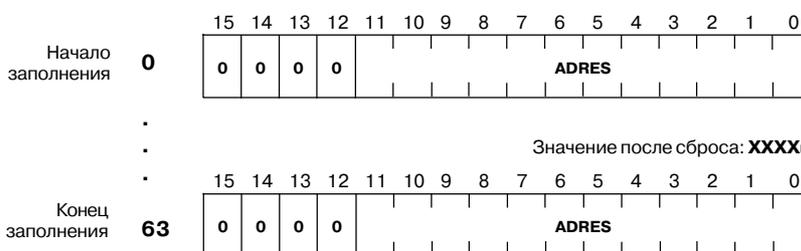
Значение после сброса: XXXX_n



Бит	Функция
ADRES	Результат преобразования АЦП (12 бит)
Бит 15-12	При записи результата заполняются нулями

StartBufExtADCN_1

Значение после сброса: XXXX_n



Где N= 0-7 – номер канала преобразования.

Для управления временем преобразования используется таймер T6 блока таймеров.

Режим работы таймера устанавливается регистром ModeTimerExtADC (или T6Mode) при соответствующей команде.

Время преобразования определяется значением регистра SampleExtADC, которое одновременно заносится в регистр данных таймера T6 и в регистр перезагрузки этого же таймера.

Преобразование активно, если таймер T6 запущен.

Повторяющееся преобразование одного выбранного канала

Этот режим выбирается путем программирования поля выбора режима ADM в регистре ModeExtADC значением '01b' и установки номера канала в поле выбора канала ADCN.

Повторяющееся преобразование каждого канала из выбранной группы каналов

В режиме повторяющегося преобразования каждого канала из выбранной группы каналов преобразователь автоматически начинает новое преобразование канала, определенного в ADCH регистра ModeExtADC.

Этот режим выбирается путем программирования поля выбора режима ADM в регистре ModeExtADC значением '10b'.

Режим повторяющегося преобразования каждого канала из выбранной группы каналов осуществляет автоматическое преобразование одиночных каналов, начиная с канала, определенного в битовом поле ADCH, уменьшаясь, и заканчивая каналом 0, не требуя программной смены номера канала.

Временно остановить режим преобразования возможно, установив путем программирования поля выбора режима ADM в регистре ModeExtADC значением '00' или остановив таймер T6, установив бит запуска T6R в 0 в регистре T6mode.

13. Цифро-аналоговый 4-х каналный 12-разрядный преобразователь

Модуль КМ104 имеет 4-х каналный 12-разрядный цифро-аналоговый преобразователь (ЦАП).

ЦАП поддерживает диапазон выходного напряжения: от минус 10 Вольт до + 10 Вольт.

Выходной ток каждого канала ЦАП не более 5 миллиампер.

Минимальное сопротивление для нагрузки каждого канала: $R_n \min = 2 \text{ КОм}$.

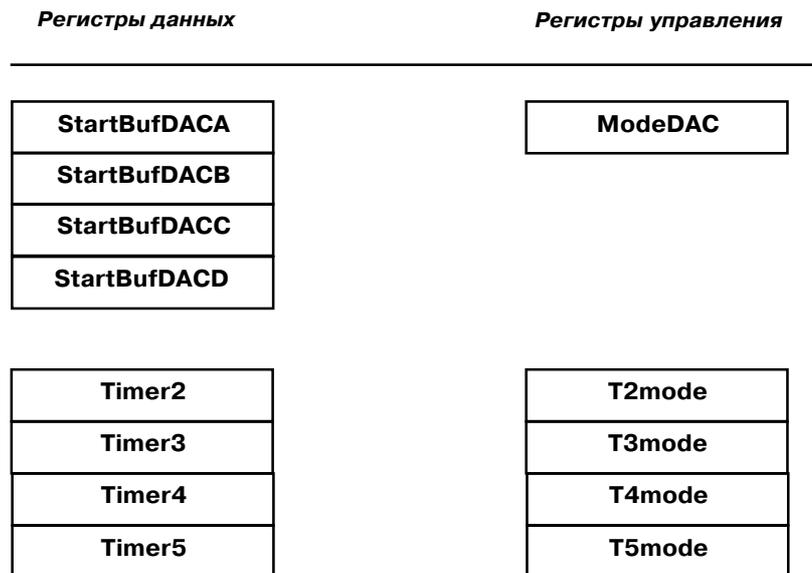
При сбросе выходное значение для всех каналов устанавливается в середину выбранного пользователем диапазона.

Середине выбранного диапазона соответствует код 0800h.

После режима преобразования, если канал ЦАП останавливается, на выходе сохраняется последнее преобразованное значение.

Диапазон выходного напряжения задаётся пользователем и устанавливается переключателями JP1, JP3, JP4.

Набор регистров и выводов порта обеспечивают доступ к функциям управления и результатам ЦАП.



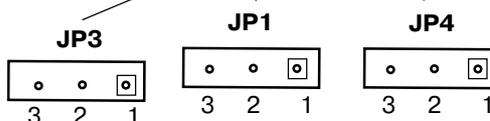
Регистры ЦАП

<i>ModeDAC</i>	<i>Регистр управления ЦАП</i>
<i>StartBufDACA</i>	<i>Начало буфера данных преобразуемых ЦАП канала A</i>
<i>StartBufDACB</i>	<i>Начало буфера данных преобразуемых ЦАП канала B</i>
<i>StartBufDACC</i>	<i>Начало буфера данных преобразуемых ЦАП канала C</i>
<i>StartBufDACD</i>	<i>Начало буфера данных преобразуемых ЦАП канала D</i>
<i>T2mode</i>	<i>Режим работы таймера T2</i>
<i>T3mode</i>	<i>Режим работы таймера T3</i>
<i>T4mode</i>	<i>Режим работы таймера T4</i>
<i>T5mode</i>	<i>Режим работы таймера T5</i>
<i>Timer2</i>	<i>Регистр данных таймера T2</i>
<i>Timer3</i>	<i>Регистр данных таймера T3</i>
<i>Timer4</i>	<i>Регистр данных таймера T4</i>
<i>Timer5</i>	<i>Регистр данных таймера T5</i>

Переключатели JP1, JP3, JP4.

Переключатели JP1, JP3, JP4 предназначены для установки диапазона выходного напряжения ЦАП.

JP3	JP1	JP4	диапазон выходного напряжения ЦАП
1-2	1-2	1-2	-10 В – +10 В
1-2	1-2	2-3	0 В – +10 В
1-2	2-3	1-2	-10 В – 0 В
1-2	2-3	2-3	не используется (0)
2-3	1-2	1-2	-5 В – +5 В
2-3	1-2	2-3	0 В – +5 В
2-3	2-3	1-2	-5 В – 0 В
2-3	2-3	2-3	не используется (0)



Выбор режима и работа

Модуль ЦАП содержит четыре идентичных канала, которые отличаются только используемым таймером. Перед запуском требуемого канала преобразователя необходимо загрузить соответствующий ему буфер данных.

Начальный адрес буфера данных:	канал A	StartBufDACA
	канал B	StartBufDACB
	канал C	StartBufDACC
	канал D	StartBufDACD

Буфер данных для канала преобразователя имеет вид:

StartBufDACN

Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	DB 11	DB 10	DB 9	DB 8	DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DB 1	DB 0

Бит	Функция
DB0...DB11	Загружаемые данные
ENDBUF	"1" Флаг завершения загружаемых данных в буфер

StartBufDACN + 1

Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	DB 11	DB 10	DB 9	DB 8	DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DB 1	DB 0

StartBufDACN + 4094

Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	DB 11	DB 10	DB 9	DB 8	DB 7	DB 6	DB 5	DB 4	DB 3	DB 2	DB 1	DB 0

StartBufDACN + 4095

Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
END BUF	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

где N = A, B, C, D

Размер буфера от 1 до 4096 слов данных определяется пользователем.

Загрузка буфера данными для преобразования осуществляется блоками от одного до 128 слов.

После передачи блока в модуль необходимо принять положительное подтверждение, после чего можно продолжить загрузку.

Загрузка данных должна заканчиваться выставлением флага завершения загрузки данных в буфер ENDBUF. При работе, если не происходит загрузки буфера новыми данными, при достижении флага ENDBUF, происходит заикливание процесса преобразования. Отсутствие флага ENDBUF при исчерпании буфера во время преобразования приведёт к непредсказуемым результатам.

Каждый канал ЦАП использует при работе таймер Tx блока таймеров модуля:

- Канал А таймер Т2,
- Канал В таймер Т3,
- Канал С таймер Т4,
- Канал D таймер Т5.

Возможен режим работы любого канала с таймером Т2.

Описание работы таймеров находится в разделе “Блок таймеров общего назначения”.

Пользователь должен выбрать режим работы таймеров программированием регистров T3mode, T4mode, T5mode и(или) T2mode и загрузить регистры данных таймеров.

Переполнение или исчерпание таймера приводит к запуску преобразования ассоциированного с таймером канала ЦАП.

Регистр управления цифро-аналогового преобразователя **ModeDAC**.

ModeDAC Значение после сброса: XXXX_n

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Buf D	Buf C	Buf B	Buf A	T _{chD}	T _{chC}	T _{chB}	T _{chA}	Sync D	Sync C	Sync B	Sync A	Ch D	Ch C	Ch B	Ch A

Бит	Функция
ChA	Канал ЦАП
ChB	0: Преобразование канала ЦАП остановлено
ChC	1: Преобразование канала ЦАП активно
ChD	
SyncA	<i>Синхронное преобразование каналов ЦАП по таймеру Т2</i>
SyncB	0: Канал не использует таймер Т2
SyncC	1: Канал использует таймер Т2
SyncD	
T_{chA}	<i>Использование таймера 2</i>
T_{chB}	0: Ассоциированный таймер используется каналом ЦАП
T_{chC}	1: ЦАП остановлен. Таймер Tx доступен для использования
T_{chD}	
BufA	<i>Флаг исчерпания буфера загруженных данных канала</i>
BufB	0: Буфер данных канала загружен частично или полностью
BufC	1: Буфер данных канала исчерпан
BufD	

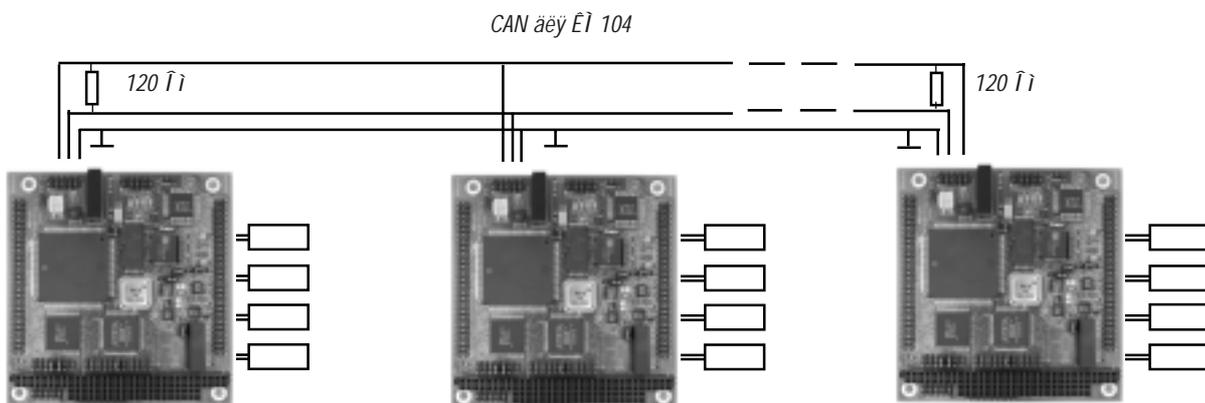
Пользователь должен следить за соответствием установки битов при выборе режима работы канала ЦАП.

14. CAN интерфейс

В данной модификации не используется. При необходимости обращайтесь к разработчику.

Модуль KM104 имеет в своем составе оптоизолированный сетевой CAN интерфейс.

На плате буфер, который позволяет подключить контроллер к CAN шине, содержащей до 32 устройств (см. рис.). При использовании большего количества устройств на CAN шине необходимо использовать модуль расширителя.



Разъем J13 предназначен для подключения контроллера в CAN сеть.

Номер контакта	Сигнал
1	не используется
2	не используется
3	BUS.L
4	BUS.H
5	GND CAN
6	не используется
7	не используется
8	не используется
9	не используется
10	не используется

15. Общее описание регистров

Название	Номер ячейки		Назначение
	HEX	DECIMAL	
RegComm	000	0	Регистр команд.
Mode_P2P6	001	1	Режим порта P2 и P6 (P6.4, P6.5, P6.6)
Mode_P3P4	002	2	Режим порта P3 и P4 (P4.4, P4.7)
Mode_P7P8	003	3	Режим порта P7 и P8
Wr_P2P6	004	4	Установить значение P2 и P6 (P6.4, P6.5, P6.6)
Wr_P3P4	005	5	Установить значение P3 и P4 (P4.4, P4.7)
Wr_P7P8	006	6	Установить значение P7 и P8
Rd_P2P6	007	7	Считать значение P2 и P6 (P6.4, P6.5, P6.6) (чтение)
Rd_P3P4	008	8	Считать значение P3 и P4 (P4.4, P4.7) (чтение)
Rd_P5	009	9	Считать значение P5 (чтение)
Rd_P7P8	00A	10	Считать значение P7 и P8 (чтение)
T01mode	00B	11	Режим работы таймеров 0/1
T78mode	00C	12	Режим работы таймеров 7/8
T2mode	00D	13	Режим работы таймера T2
T3mode	00E	14	Режим работы таймера T3
T4mode	00F	15	Режим работы таймера T4
T5mode	010	16	Режим работы таймера T5
T6mode	011	17	Режим работы таймера T6
Timer0	012	18	Период работы таймера T0
Timer1	013	19	Период работы таймера T1
Timer2	014	20	Период работы таймера T2
Timer3	015	21	Период работы таймера T3
Timer4	016	22	Период работы таймера T4
Timer5	017	23	Период работы таймера T5
Timer6	018	24	Период работы таймера T6 (резерв) не использовать
Timer7	019	25	Период работы таймера T7
Timer8	01A	26	Период работы таймера T8
PWM0_3	01B	27	Режим работы каналов 0-3 PWM
PWM4_7	01C	28	Режим работы каналов 4-7 PWM
PWM8_11	01D	29	Режим работы каналов 8-11 PWM
PWM16_19	01E	30	Режим работы каналов 16-19 PWM
PWM20_23	01F	31	Режим работы каналов 20-23 PWM
PWM28_31	020	32	Режим работы каналов 28-31 PWM
LongImpSlowPWM0	021	33	Канал 0 SPWM
LongImpSlowPWM1	022	34	Канал 1 SPWM
LongImpSlowPWM2	023	35	Канал 2 SPWM
LongImpSlowPWM3	024	36	Канал 3 SPWM
LongImpSlowPWM4	025	37	Канал 4 SPWM
LongImpSlowPWM5	026	38	Канал 5 SPWM
LongImpSlowPWM6	027	39	Канал 6 SPWM
LongImpSlowPWM7	028	40	Канал 7 SPWM
LongImpSlowPWM8	029	41	Канал 8 SPWM
LongImpSlowPWM9	02A	42	Канал 9 SPWM
LongImpSlowPWM10	02B	43	Канал 10 SPWM

LongImpSlowPWM11	02C	44	Канал 11 SPWM
LongImpSlowPWM16	02D	45	Канал 16 SPWM
LongImpSlowPWM17	02E	46	Канал 17 SPWM
LongImpSlowPWM18	02F	47	Канал 18 SPWM
LongImpSlowPWM19	030	48	Канал 19 SPWM
LongImpSlowPWM20	031	49	Канал 20 SPWM
LongImpSlowPWM21	032	50	Канал 21 SPWM
LongImpSlowPWM22	033	51	Канал 22 SPWM
LongImpSlowPWM23	034	52	Канал 23 SPWM
LongImpSlowPWM28	035	53	Канал 20 SPWM
LongImpSlowPWM29	036	54	Канал 21 SPWM
LongImpSlowPWM30	037	55	Канал 22 SPWM
LongImpSlowPWM31	038	56	Канал 23 SPWM
StatFastPWM0	039	57	Режим работы каналов быстрого ШИМ
StatFastPWM1	03A	58	Режим работы каналов быстрого ШИМ
FaseFastPWM0	03B	59	Фаза быстрого ШИМ канала 0
FaseFastPWM1	03C	60	Фаза быстрого ШИМ канала 1
FaseFastPWM2	03D	61	Фаза быстрого ШИМ канала 2
FaseFastPWM3	03E	62	Фаза быстрого ШИМ канала 3
PeriodFastPWM0	03F	63	Период быстрого ШИМ канала 0 (P7.0)
PeriodFastPWM1	040	64	Период быстрого ШИМ канала 1 (P7.1)
PeriodFastPWM2	041	65	Период быстрого ШИМ канала 2 (P7.2)
PeriodFastPWM3	042	66	Период быстрого ШИМ канала 3 (P7.3)
LongImpFastPWM0	043	67	Длительность импульса быстрого ШИМ канала 0
LongImpFastPWM1	044	68	Длительность импульса быстрого ШИМ канала 1
LongImpFastPWM2	045	69	Длительность импульса быстрого ШИМ канала 2
LongImpFastPWM3	046	70	Длительность импульса быстрого ШИМ канала 3
ModeTimerExtADC	047	71	Режим работы таймера T2 канала А ЦАП
SampleExtADC	048	72	Отсчеты (семплы) работы 12-разрядного АЦП
ModeExtADC	049	73	Режим работы каналов 12-разрядного АЦП
StatBufExtADC	04A	74	Статус готовности буферов 12-разрядн.АЦП в IDT (чтение)
ModeIntADC	04B	75	Режим работы каналов 10-разрядного АЦП
StatBufIntADC0	04C	76	Статус готовности буферов 10-разрядн.АЦП в IDT(чтение)
StatBufIntADC1	04D	77	Статус готовности буферов 10-разрядн.АЦП в IDT(чтение)
ParamFillADC	04E	78	Константа заполнения буферов АЦП константой
ModeDAC	04F	79	Режим работы каналов ЦАП
CountT2low	050	80	Счетчик импульсов (таймер) T2 (чтение)
CountT2high	051	81	Счетчик импульсов (таймер) T2 (чтение)
CountT3low	052	82	Счетчик импульсов (таймер) T3 (чтение)
CountT3high	053	83	Счетчик импульсов (таймер) T3 (чтение)
CountT4low	054	84	Счетчик импульсов (таймер) T4 (чтение)
CountT4high	055	85	Счетчик импульсов (таймер) T4 (чтение)
CountT5low	056	86	Счетчик импульсов (таймер) T5 (чтение)
CountT5high	057	87	Счетчик импульсов (таймер) T5 (чтение)
StartBufExtADC0_0	058	88	Начало буфера 0 канала 0 12-разрядного АЦП
StartBufExtADC0_1	098	152	Начало буфера 1 канала 0 12-разрядного АЦП
StartBufExtADC1_0	0D8	216	Начало буфера 0 канала 1 12-разрядного АЦП
StartBufExtADC1_1	118	280	Начало буфера 1 канала 1 12-разрядного АЦП
StartBufExtADC2_0	158	344	Начало буфера 0 канала 2 12-разрядного АЦП

StartBufExtADC2_1	198	408	Начало буфера 1 канала 2 12-разрядного АЦП
StartBufExtADC3_0	1D8	472	Начало буфера 0 канала 3 12-разрядного АЦП
StartBufExtADC3_1	218	536	Начало буфера 0 канала 3 12-разрядного АЦП
StartBufExtADC4_0	258	600	Начало буфера 0 канала 4 12-разрядного АЦП
StartBufExtADC4_1	298	664	Начало буфера 1 канала 4 12-разрядного АЦП
StartBufExtADC5_0	2D8	728	Начало буфера 0 канала 5 12-разрядного АЦП
StartBufExtADC5_1	318	792	Начало буфера 1 канала 5 12-разрядного АЦП
StartBufExtADC6_0	358	856	Начало буфера 0 канала 6 12-разрядного АЦП
StartBufExtADC6_1	398	920	Начало буфера 1 канала 6 12-разрядного АЦП
StartBufExtADC7_0	3D8	984	Начало буфера 0 канала 7 12-разрядного АЦП
StartBufExtADC7_1	418	1048	Начало буфера 1 канала 7 12-разрядного АЦП
StartBufIntADC0_0	458	1112	Начало буфера 1 канала 0 10-разрядного АЦП
StartBufIntADC0_1	498	1176	Начало буфера 1 канала 0 10-разрядного АЦП.
StartBufIntADC1_0	4D8	1240	Начало буфера 0 канала 1 10-разрядного АЦП
StartBufIntADC1_1	518	1304	Начало буфера 1 канала 1 10-разрядного АЦП
StartBufIntADC2_0	558	1368	Начало буфера 0 канала 2 10-разрядного АЦП
StartBufIntADC2_1	598	1432	Начало буфера 1 канала 2 10-разрядного АЦП
StartBufIntADC3_0	5D8	1496	Начало буфера 0 канала 3 10-разрядного АЦП
StartBufIntADC3_1	618	1560	Начало буфера 1 канала 3 10-разрядного АЦП
StartBufIntADC4_0	658	1624	Начало буфера 0 канала 4 10-разрядного АЦП
StartBufIntADC4_1	698	1688	Начало буфера 1 канала 4 10-разрядного АЦП
StartBufIntADC5_0	6D8	1752	Начало буфера 0 канала 5 10-разрядного АЦП
StartBufIntADC5_1	718	1816	Начало буфера 1 канала 5 10-разрядного АЦП
StartBufIntADC6_0	758	1880	Начало буфера 0 канала 6 10-разрядного АЦП
StartBufIntADC6_1	798	1944	Начало буфера 1 канала 6 10-разрядного АЦП
StartBufIntADC7_0	7D8	2008	Начало буфера 0 канала 7 10-разрядного АЦП
StartBufIntADC7_1	818	2072	Начало буфера 1 канала 7 10-разрядного АЦП
StartBufIntADC8_0	858	2136	Начало буфера 0 канала 8 10-разрядного АЦП
StartBufIntADC8_1	898	2200	Начало буфера 1 канала 8 10-разрядного АЦП
StartBufIntADC9_0	8D8	2264	Начало буфера 0 канала 9 10-разрядного АЦП
StartBufIntADC9_1	918	2328	Начало буфера 1 канала 9 10-разрядного АЦП
StartBufIntADC10_0	958	2392	Начало буфера 0 канала 10 10-разрядного АЦП
StartBufIntADC10_1	998	2456	Начало буфера 1 канала 10 10-разрядного АЦП
StartBufIntADC11_0	9D8	2520	Начало буфера 0 канала 10 10-разрядного АЦП
StartBufIntADC11_1	A18	2584	Начало буфера 1 канала 10 10-разрядного АЦП
StartBufIntADC12_0	A58	2648	Начало буфера 0 канала 12 10-разрядного АЦП
StartBufIntADC12_1	A98	2712	Начало буфера 1 канала 12 10-разрядного АЦП
StartBufIntADC13_0	AD8	2776	Начало буфера 0 канала 13 10-разрядного АЦП
StartBufIntADC13_1	B18	2840	Начало буфера 1 канала 13 10-разрядного АЦП
StartBufIntADC14_0	B58	2904	Начало буфера 0 канала 14 10-разрядного АЦП
StartBufIntADC14_1	B98	2968	Начало буфера 1 канала 14 10-разрядного АЦП
StartBufIntADC15_0	BD8	3032	Начало буфера 0 канала 15 10-разрядного АЦП
StartBufIntADC15_1	C18	3096	Начало буфера 1 канала 15 10-разрядного АЦП
StatBufDACA	C58	3160	Начало буфера канала А ЦАП
StatBufDACB	CD8	3288	Начало буфера канала В ЦАП
StatBufDACC	D58	3416	Начало буфера канала С ЦАП
StatBufDACD	DD8	3544	Начало буфера канала D ЦАП
Конец области памяти	E58	3672	

Все регистры работают на запись, регистры, работающие на чтение, отмечены в таблице.

Регистры StartBuf...ADC... работают на чтение и запись.

16. Команды управления KM104

Команда	Название команды	Код команды		Название ячейки для записи (считывания) данных в устройство
		HEX	DECIMAL	
Режим порта P2	SetModeP2	80	128	Mode_P2P6
Режим порта P6 (P6.5, P6.6, P6.7)	SetModeP6	81	129	Mode_P2P6
Режим порта P2 и P6 (P6.5, P6.6, P6.7)	SetModeP2P6	82	130	Mode_P2P6
Установить выходные биты порта P2	WrP2	83	131	Wr_P2P6
Установить выходные биты порта P6 (P6.5, P6.6, P6.7)	WrP6	84	132	Wr_P2P6
Установить выходные биты порта P2 и P6 (P6.5, P6.6, P6.7)	WrP6 WrP2P6	85	133	
Считать значение битов) порта P2 и P6 (P6.5, P6.6, P6.7)	RdP2P6	86	134	(Rd_P2P6)
Режим порта P3	SetModeP3	87	135	Mode_P3P4
Режим порта P4 (P4.4, P4.7).	SetModeP4	88	136	Mode_P3P4
Режим порта P3 и P4 (P4.4, P4.7)	SetModeP3P4	89	137	Mode_P3P4
Установить выходные биты порта P3	WrP3	8A	138	Wr_P3P4
Установить выходные биты порта P4 (P4.4, P4.7)	WrP4	8B	139	Wr_P3P4
Установить выходные биты порта P3 и P4 (P4.4, P4.7)	WrP3P4	8C	140	Wr_P3P4
Считать значение битов порта P3 и P4 (P4.4, P4.7)	RdP3P4	8D	141	(Rd_P3P4)
Считать значение битов порта P5	RdP5	8E	142	(Rd_P5)
Режим порта P7	SetModeP7	8F	143	Mode_P7P8
Режим порта P8	SetModeP8	90	144	Mode_P7P8
Режим порта P7 и P8	SetModeP7P8	91	145	Mode_P7P8
Установить выходные биты порта P7	WrP7	92	146	Wr_P7P8
Установить выходные биты порта P8.	WrP8	93	147	Wr_P7P8
Установить выходные биты порта P7 и P8	WrP7P8	94	148	Wr_P7P8
Считать значение битов порта P7 и P8	RdP7P8	95	149	(Rd_P7P8)
Установить параметров таймеров T0 и T1	SetModeTimerT01	96	150	Timer0 Timer1 T01mode
Установить параметров таймеров T7 и T8	SetModeTimerT78	97	151	Timer7 Timer8 T78mode
Установить параметров таймеров T0, T1, T7, T8	SetModeTimerT0178	98	152	Timer0 Timer1 T01mode Timer7 Timer8 T78mode
Запустить таймер T0.	StartTimerT0	99	153	
Остановить таймер T0	StopTimerT0	9A	154	
Запустить таймер T1	StartTimerT1	9B	155	
Остановить таймер T1	StopTimerT1	9C	156	

Запустить таймер T7	StartTimerT7	9D	157	
Остановить таймер T7	StopTimerT7	9E	158	
Запустить таймер T8	StartTimerT8	9F	159	
Остановить таймер T8	StopTimerT8	A0	160	
Установить параметры медленного ШИМ	StopTimerT8	A1	161	PWM0_3 PWM4_7 PWM8_11 PWM16_19 PWM20_23 PWM28_31 LongImpSlowPWM0 LongImpSlowPWM1 LongImpSlowPWM2 LongImpSlowPWM3 LongImpSlowPWM4 LongImpSlowPWM5 LongImpSlowPWM6 LongImpSlowPWM7 LongImpSlowPWM8 LongImpSlowPWM9 LongImpSlowPWM10 LongImpSlowPWM11 LongImpSlowPWM16 LongImpSlowPWM17 LongImpSlowPWM18 LongImpSlowPWM19 LongImpSlowPWM20 LongImpSlowPWM21 LongImpSlowPWM22 LongImpSlowPWM23 LongImpSlowPWM28 LongImpSlowPWM29 LongImpSlowPWM30 LongImpSlowPWM31 StatPWM0_15 StatPWM16_31
Установить параметры медленного ШИМ каналов 0-3	SetParamSlowPWM0_3	A2	162	PWM0_3 LongImpSlowPWM0 LongImpSlowPWM1 LongImpSlowPWM2 LongImpSlowPWM3 StatPWM0_15
Установить параметры медленного ШИМ каналов 4-7	SetParamSlowPWM4_7	A3	163	PWM4_7 LongImpSlowPWM4 LongImpSlowPWM5 LongImpSlowPWM6 LongImpSlowPWM7 StatPWM0_15
Установить параметры медленного ШИМ каналов 8-11	SetParamSlowPWM8_11	A4	164	PWM8_11 LongImpSlowPWM8 LongImpSlowPWM9 LongImpSlowPWM10 LongImpSlowPWM11 StatPWM0_15
Установить параметры медленного ШИМ каналов 16-19	SetParamSlowPWM16_19	A5	165	PWM8_11 LongImpSlowPWM16 LongImpSlowPWM17 LongImpSlowPWM18 LongImpSlowPWM19 StatPWM16_31
Установить параметры медленного ШИМ каналов 20-23	SetParamSlowPWM20_23	A6	166	PWM20_23 LongImpSlowPWM20 LongImpSlowPWM21 LongImpSlowPWM22 LongImpSlowPWM23 StatPWM16_31

Установить параметры медленного ШИМ каналов 28-31	SetParamSlowPWM28_31	A7	167	PWM28_31 LongImpSlowPWM28 LongImpSlowPWM29 LongImpSlowPWM30 LongImpSlowPWM31 StatPWM16_31
Установить длительность импульса канала 0	SetLongImpSPWM0	A8	168	LongImpSPWM0
Установить длительность импульса канала 1	SetLongImpSPWM1	A9	169	LongImpSPWM1
Установить длительность импульса канала 2	SetLongImpSPWM2	AA	170	LongImpSPWM2
Установить длительность импульса канала 3	SetLongImpSPWM3	AB	171	LongImpSPWM3
Установить длительность импульса канала 4	SetLongImpSPWM4	AC	172	LongImpSPWM4
Установить длительность импульса канала 5	SetLongImpSPWM5	AD	173	LongImpSPWM5
Установить длительность импульса канала 6	SetLongImpSPWM6	AE	174	LongImpSPWM6
Установить длительность импульса канала 7	SetLongImpSPWM7	AF	175	LongImpSPWM7
Установить длительность импульса канала 8	SetLongImpSPWM8	B0	176	LongImpSPWM8
Установить длительность импульса канала 9	SetLongImpSPWM9	B1	177	LongImpSPWM9
Установить длительность импульса канала 10	SetLongImpSPWM10	B2	178	LongImpSPWM10
Установить длительность импульса канала 11	SetLongImpSPWM11	B3	179	LongImpSPWM11
Установить длительность импульса канала 16	SetLongImpSPWM16	B4	180	LongImpSPWM16
Установить длительность импульса канала 17	SetLongImpSPWM17	B5	181	LongImpSPWM17
Установить длительность импульса канала 18	SetLongImpSPWM18	B6	182	LongImpSPWM18
Установить длительность импульса канала 19	SetLongImpSPWM19	B7	183	LongImpSPWM19
Установить длительность импульса канала 20	SetLongImpSPWM20	B8	184	LongImpSPWM20
Установить длительность импульса канала 21	SetLongImpSPWM21	B9	185	LongImpSPWM21
Установить длительность импульса канала 22	SetLongImpSPWM22	BA	186	LongImpSPWM22
Установить длительность импульса канала 23	SetLongImpSPWM23	BB	187	LongImpSPWM23
Установить длительность импульса канала 28	SetLongImpSPWM28	BC	188	LongImpSPWM28
Установить длительность импульса канала 29	SetLongImpSPWM29	BD	189	LongImpSPWM29
Установить длительность импульса канала 30	SetLongImpSPWM30	BE	190	LongImpSPWM30
Установить длительность импульса канала 31	SetLongImpSPWM31	BF	191	LongImpSPWM31
Установить начальную фазу быстрого ШИМ	SetFaseFPWM	C0	192	FaseFastPWM0 FaseFastPWM1 FaseFastPWM2 FaseFastPWM3
Установить период быстрого ШИМ	SetPeriodFPWM	C1	193	PeriodFastPWM0 PeriodFastPWM1 PeriodFastPWM2 PeriodFastPWM3

Установить длительность импульса быстрого ШИМ	SetLongImpFPWM	C2	194	LongImpFastPWM0 LongImpFastPWM0 LongImpFastPWM2 LongImpFastPWM3
Установить режим работы быстрого ШИМ	SetModeFPWM	C3	195	StatFastPWM0 StatFastPWM1
Установить период и длительность импульса быстрого ШИМ	SetPeriodLongFPWM	C4	196	PeriodFastPWM0 PeriodFastPWM1 PeriodFastPWM2 PeriodFastPWM3 LongImpFastPWM0 LongImpFastPWM1 LongImpFastPWM2 LongImpFastPWM3
Установить период, длительность импульса и режим быстрого ШИМ	SetParamFPWM	C5	197	PeriodFastPWM0 PeriodFastPWM1 PeriodFastPWM2 PeriodFastPWM3 LongImpFastPWM0 LongImpFastPWM1 LongImpFastPWM2 LongImpFastPWM3 StatFastPWM0 StatFastPWM
Установить режим работы 10-разрядного АЦП	SetModelntADC	C6	198	ModelntADC
Запуск 10-разрядного АЦП	StartIntADC	C7	199	-
Останов 10-разрядного АЦП	StopIntADC	C8	200	-
Заполнить константой буфер 10-разрядного АЦП канала 0 (см. ячейку ParamFillADC)	FillBufIntADC0	C9	201	ParamFillADC StartFillBufIntADC0_0 StartFillBufIntADC0_1
Заполнить константой буфер 10-разрядного АЦП канала 1 (см. ячейку ParamFillADC)	FillBufIntADC1	CA	202	ParamFillADC StartFillBufIntADC1_0 StartFillBufIntADC1_1
Заполнить константой буфер 10-разрядного АЦП канала 2 (см. ячейку ParamFillADC)	FillBufIntADC2	CB	203	ParamFillADC StartFillBufIntADC2_0 StartFillBufIntADC2_1
Заполнить константой буфер 10-разрядного АЦП канала 3 (см. ячейку ParamFillADC)	FillBufIntADC3	CC	204	ParamFillADC StartFillBufIntADC3_0 StartFillBufIntADC3_1
Заполнить константой буфер 10-разрядного АЦП канала 4 (см. ячейку ParamFillADC)	FillBufIntADC4	CD	205	ParamFillADC StartFillBufIntADC4_0 StartFillBufIntADC4_1
Заполнить константой буфер 10-разрядного АЦП канала 5 (см. ячейку ParamFillADC)	FillBufIntADC5	CE	206	ParamFillADC StartFillBufIntADC5_0 StartFillBufIntADC5_1
Заполнить константой буфер 10-разрядного АЦП канала 6 (см. ячейку ParamFillADC)	FillBufIntADC6	CF	207	ParamFillADC StartFillBufIntADC6_0 StartFillBufIntADC6_1
Заполнить константой буфер 10-разрядного АЦП канала 7 (см. ячейку ParamFillADC)	FillBufIntADC7	D0	208	ParamFillADC StartFillBufIntADC7_0 StartFillBufIntADC7_1
Заполнить константой буфер 10-разрядного АЦП канала 8 (см. ячейку ParamFillADC)	FillBufIntADC8	D1	209	ParamFillADC StartFillBufIntADC8_0 StartFillBufIntADC8_1
Заполнить константой буфер 10-разрядного АЦП канала 9 (см. ячейку ParamFillADC)	FillBufIntADC9	D2	210	ParamFillADC StartFillBufIntADC9_0 StartFillBufIntADC9_1
Заполнить константой буфер 10-разрядного АЦП канала 10 (см. ячейку ParamFillADC)	FillBufIntADC10	D3	211	ParamFillADC StartFillBufIntADC10_0 StartFillBufIntADC10_1
Заполнить константой буфер 10-разрядного АЦП канала 11 (см. ячейку ParamFillADC)	FillBufIntADC11	D4	212	ParamFillADC StartFillBufIntADC11_0 StartFillBufIntADC11_1

Заполнить константой буфер 10-разрядного АЦП канала 12 (см. ячейку ParamFillADC)	FillBufIntADC12	D5	213	ParamFillADC StartFillBufIntADC12_0 StartFillBufIntADC12_1
Заполнить константой буфер 10-разрядного АЦП канала 13 (см. ячейку ParamFillADC)	FillBufIntADC13	D6	214	ParamFillADC StartFillBufIntADC13_0 StartFillBufIntADC13_1
Заполнить константой буфер 10-разрядного АЦП канала 14 (см. ячейку ParamFillADC)	FillBufIntADC14	D7	215	ParamFillADC StartFillBufIntADC14_0 StartFillBufIntADC14_1
Заполнить константой буфер 10-разрядного АЦП канала 15 (см. ячейку ParamFillADC)	FillBufIntADC15	D8	216	ParamFillADC StartFillBufIntADC15_0 StartFillBufIntADC15_1
Установить параметры (режим и семплы) 12-разрядного АЦП	SetParamTimerExtADC	D9	217	ModeTimerExtADC SampleExtADC
Установить семплы 12-разрядного АЦП	SetSampleExtADC	DA	218	SampleExtADC
Установить режим работы 12-разрядного АЦП	SetModeExtADC	DB	219	ModeTimerExtADC SampleExtADC ModeTimerExtADC
Запуск 12-разрядного АЦП	StartExtADC	DC	220	-
Останов 12-разрядного АЦП	StopExtADC	DD	221	-
Заполнить константой буфер 12-разрядного АЦП канала 0 (см. ячейку ParamFillADC)	FillBufExtADC0	DE	222	ParamFillADC SizeBuf StartBufExtADC0_0
Заполнить константой буфер 12-разрядного АЦП канала 1 (см. ячейку ParamFillADC)	FillBufExtADC1	DF	223	ParamFillADC SizeBuf StartBufExtADC1_0
Заполнить константой буфер 12-разрядного АЦП канала 2 (см. ячейку ParamFillADC)	FillBufExtADC2	E0	224	ParamFillADC SizeBuf StartBufExtADC2_0
Заполнить константой буфер 12-разрядного АЦП канала 3 (см. ячейку ParamFillADC)	FillBufExtADC3	E1	225	ParamFillADC SizeBuf StartBufExtADC3_0
Заполнить константой буфер 12-разрядного АЦП канала 4 (см. ячейку ParamFillADC)	FillBufExtADC4	E2	226	ParamFillADC SizeBuf StartBufExtADC4_0
Заполнить константой буфер 12-разрядного АЦП канала 5 (см. ячейку ParamFillADC)	FillBufExtADC5	E3	227	ParamFillADC SizeBuf StartBufExtADC5_0
Заполнить константой буфер 12-разрядного АЦП канала 6 (см. ячейку ParamFillADC)	FillBufExtADC6	E4	228	ParamFillADC SizeBuf StartBufExtADC6_0
Заполнить константой буфер 12-разрядного АЦП канала 7 (см. ячейку ParamFillADC)	FillBufExtADC7	E5	229	ParamFillADC SizeBuf StartBufExtADC7_0
Установить параметры таймера T2	SetModeTimer2	E6	230	Timer2 T2mode
Установить параметры таймера T3	SetModeTimer3	E7	231	Timer3 T3mode
Установить параметры таймера T4	SetModeTimer4	E8	232	Timer4 T4mode
Установить параметры таймера T5	SetModeTimer5	E9	233	Timer5 T5mode
Запустить таймер T2	StartTimerT2	EA	234	
Запустить таймер T3	StartTimerT3	EB	235	
Запустить таймер T4	StartTimerT4	EC	236	
Запустить таймер T5	StartTimerT5	ED	237	
Остановить таймер T2.	StopTimerT2	EE	238	
Остановить таймер T3	StopTimerT3	EF	239	
Остановить таймер T4	StopTimerT4	F0	240	
Остановить таймер T5.	StopTimerT5	F1	241	

Заполнить буфер ЦАП канала А	CopyDACA	F2	242	
Заполнить буфер ЦАП канала В	CopyDACB	F3	243	
Заполнить буфер ЦАП канала С	CopyDACC	F4	244	
Заполнить буфер ЦАП канала D	CopyDACD	F5	245	
Считать значение Т2 (младш.часть)	ReadCountT2low	F6	247	
Считать значение Т2 (старш.часть)	ReadCountT2high	F7	248	
Считать значение Т3 (младш.часть)	ReadCountT3low	F8	249	
Считать значение Т3 (старш.часть)	ReadCountT3high	F9	250	
Считать значение Т4 (младш.часть)	ReadCountT4low	FA	251	
Считать значение Т4 (старш.часть)	ReadCountT4high	FB	252	
Считать значение Т5(младш.часть)	ReadCountT5low	FC	253	
Считать значение Т5 (старш.часть)	ReadCountT5high	FD	254	
Ответ на принятую команду (положительное подтверждение)	CommOK	15A	346	
Ответ на принятую команду (отрицательное подтверждение)	CommError	15B	347	
Ответ на принятую команду сброс	CommReset	15C	348	

17. Протокол обмена по шине PC104

После сброса происходит инициализация модуля.

Нулевая ячейка двухпортового ОЗУ принята за регистр команд.

В регистр команд после любого сброса записывается 15С (hex). После этого можно обращаться к модулю.

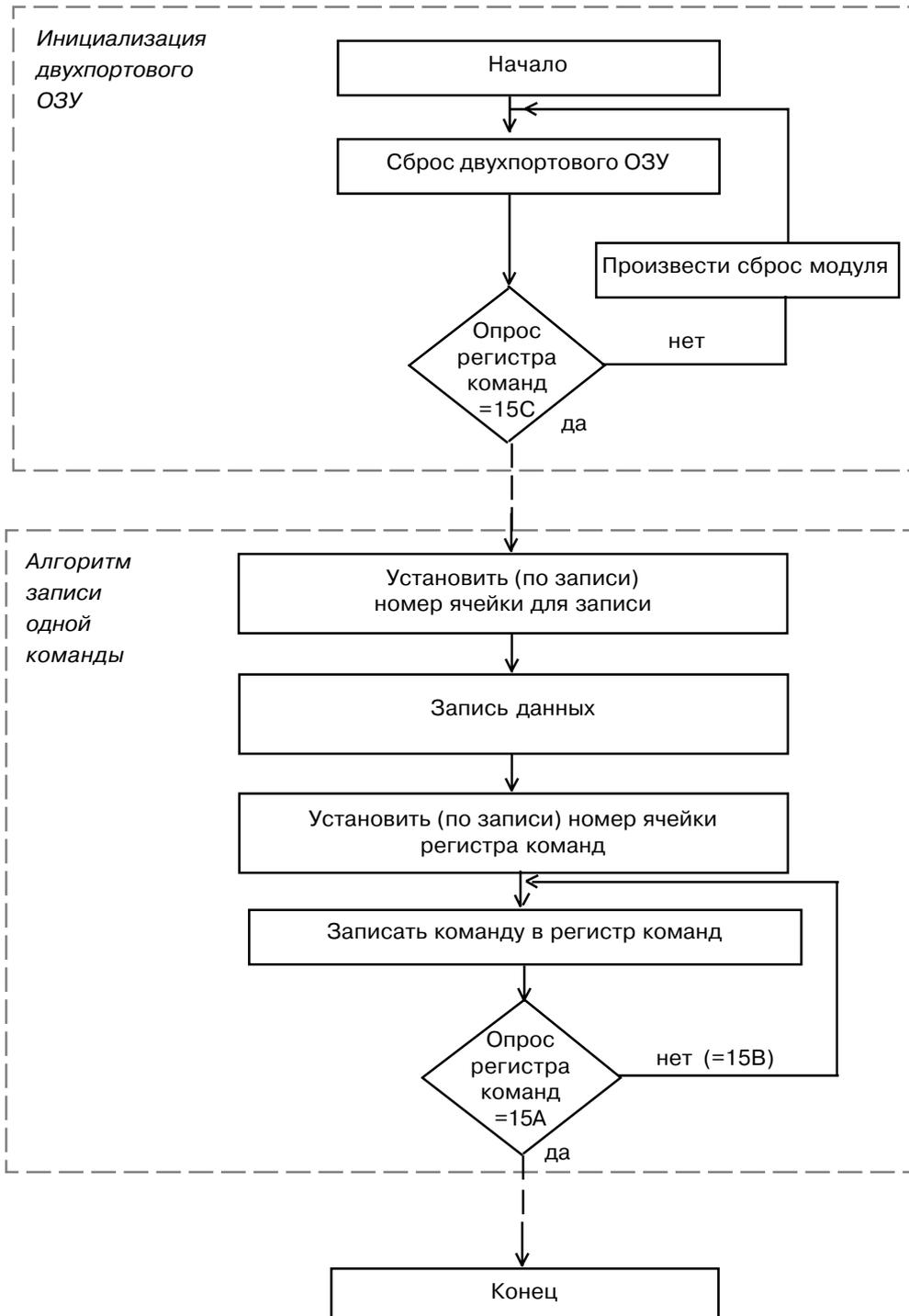
Признаком исполнения команды и признаком готовности для принятия нового сообщения является наличие положительного подтверждения с кодом 15А. Кодом отрицательного подтверждения является код 15В.

Для корректной работы протокола должна быть готовность (положительное подтверждение в регистре команд) перед записью команды.

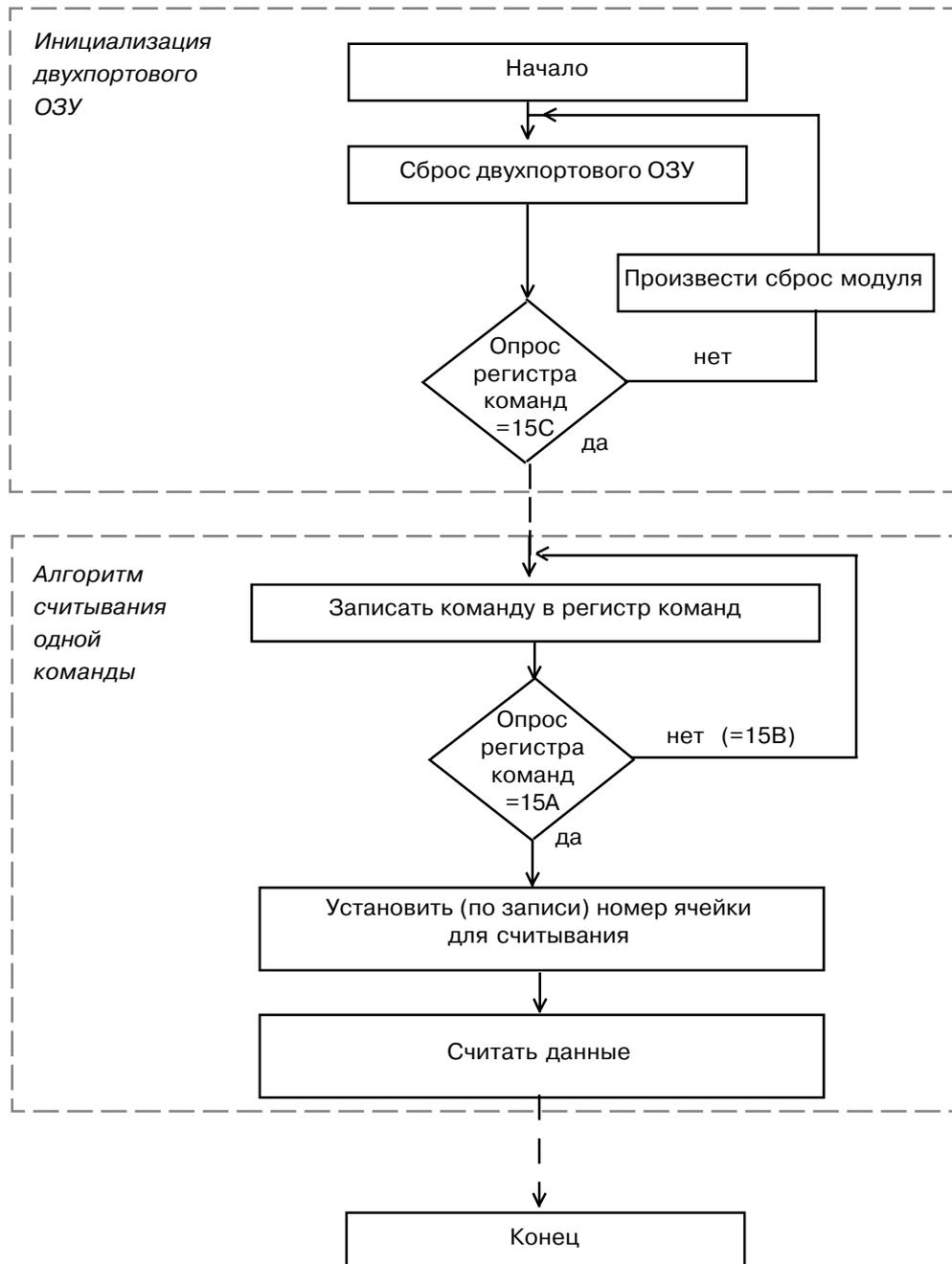
Обращение к ячейкам (регистрам двухпортового ОЗУ) не требует положительного подтверждения в регистре команд.

Алгоритм обмена по шине PC-104 приведен ниже.

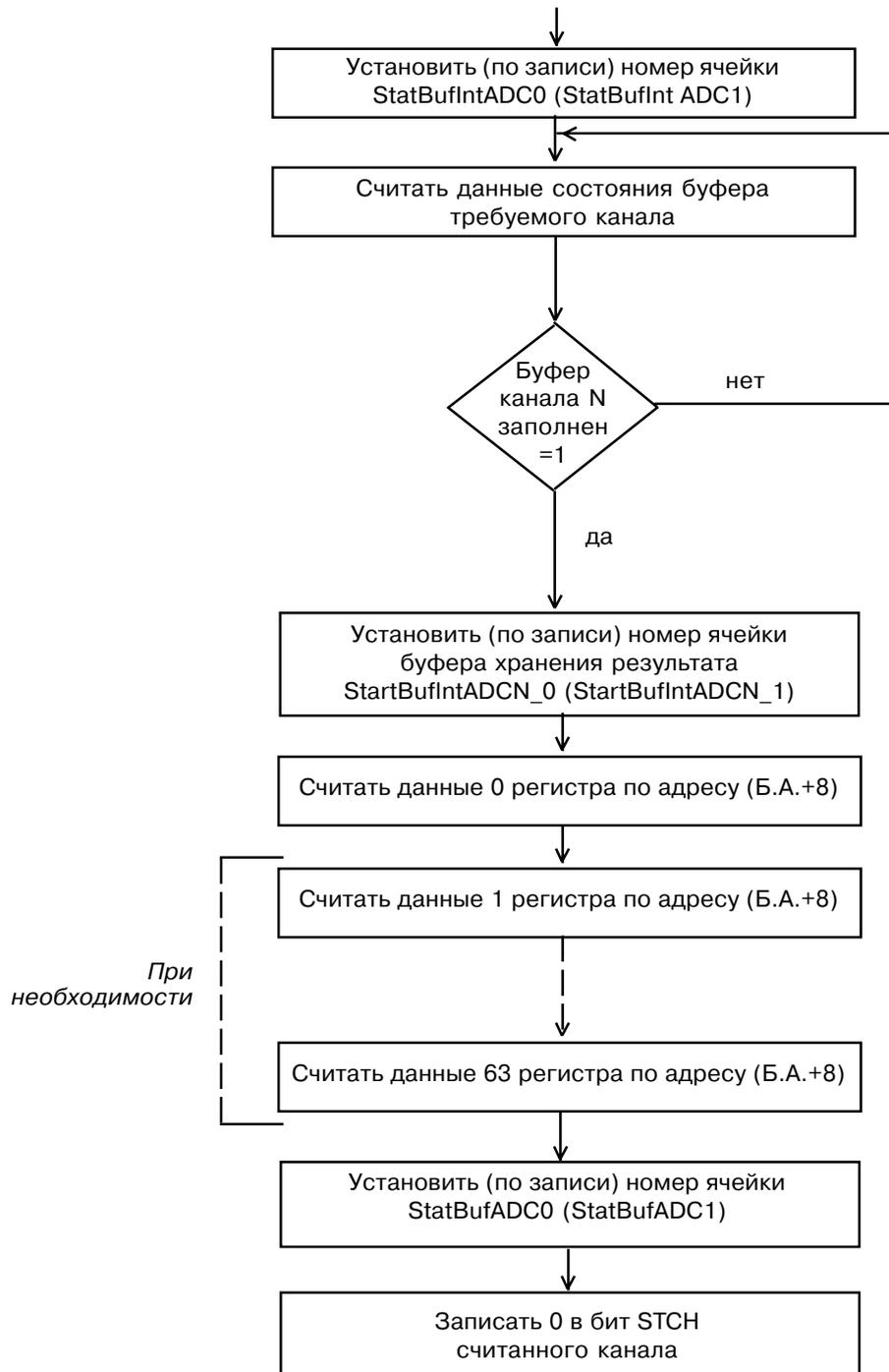
Алгоритм записи



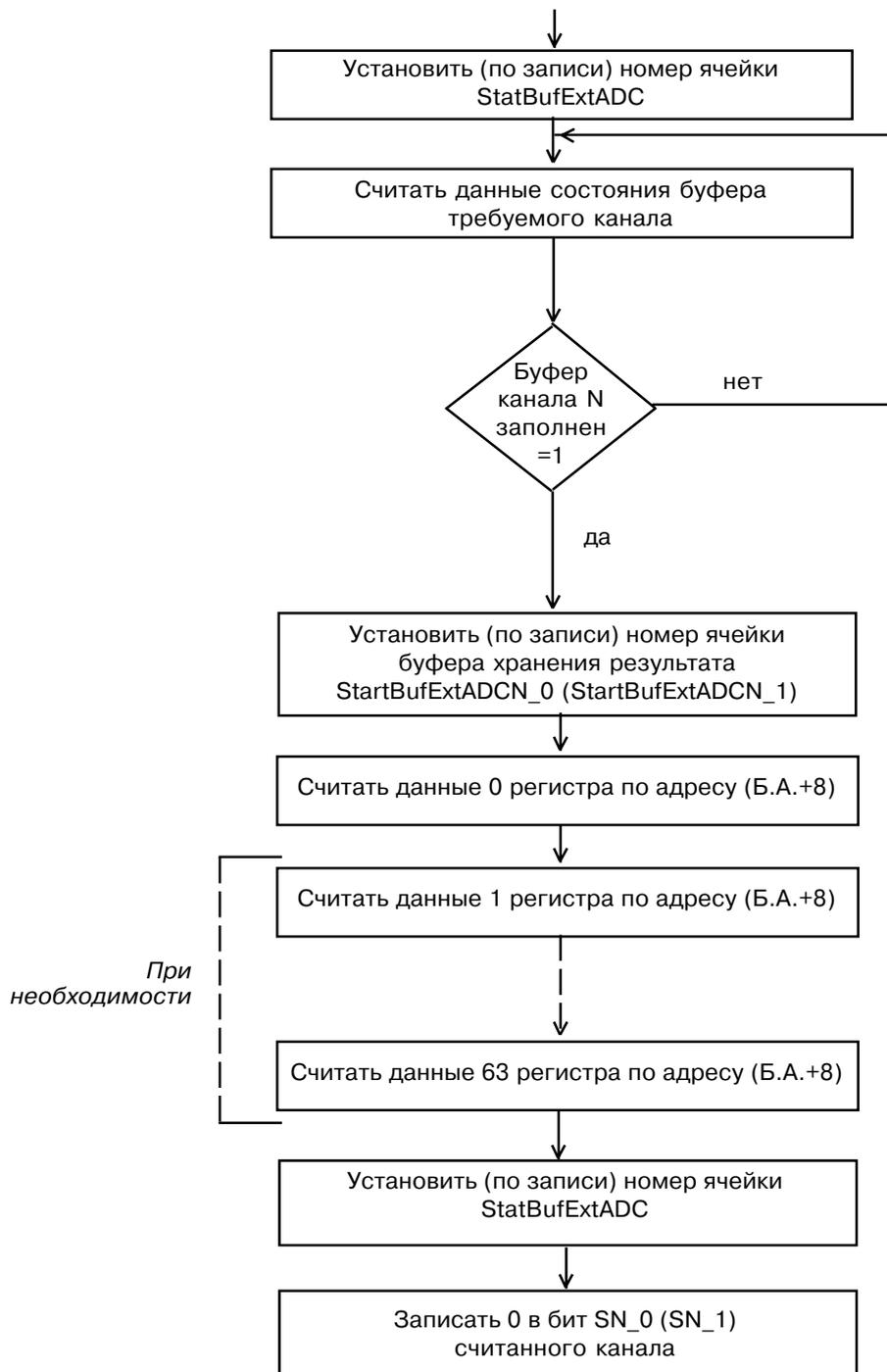
Алгоритм считывания



**Алгоритм считывания буфера хранения результата канала N
аналого-цифрового 16-ти канального 10-разрядного преобразователя**



Алгоритм считывания буфера хранения результата канала N аналого-цифрового 8-ми канального 12-разрядного преобразователя



18. Сброс модуля

Аппаратный сброс:

Для сброса предназначен переключатель J9. Сброс производится замыканием контактов между собой.

Переключатель J9.

Номер контакта	Сигнал
1	Вход сброса
2	общий (GND)

Программный сброс:

Запись любого числа по адресу (Б.А. + 12) приводит к сбросу модуля.

Длительность процедуры сброса модуля не менее 100 миллисекунд.

19. Питание модуля

Модуль питается от внешнего источника постоянного тока +5 В ±5 % с типовым потреблением 400 мА. Плюсовой вывод источника подключается к контакту 2 или 9 разъема J7, минусовой вывод источника подключается к контакту 1 или 10 разъема J7.

Разъем J7.

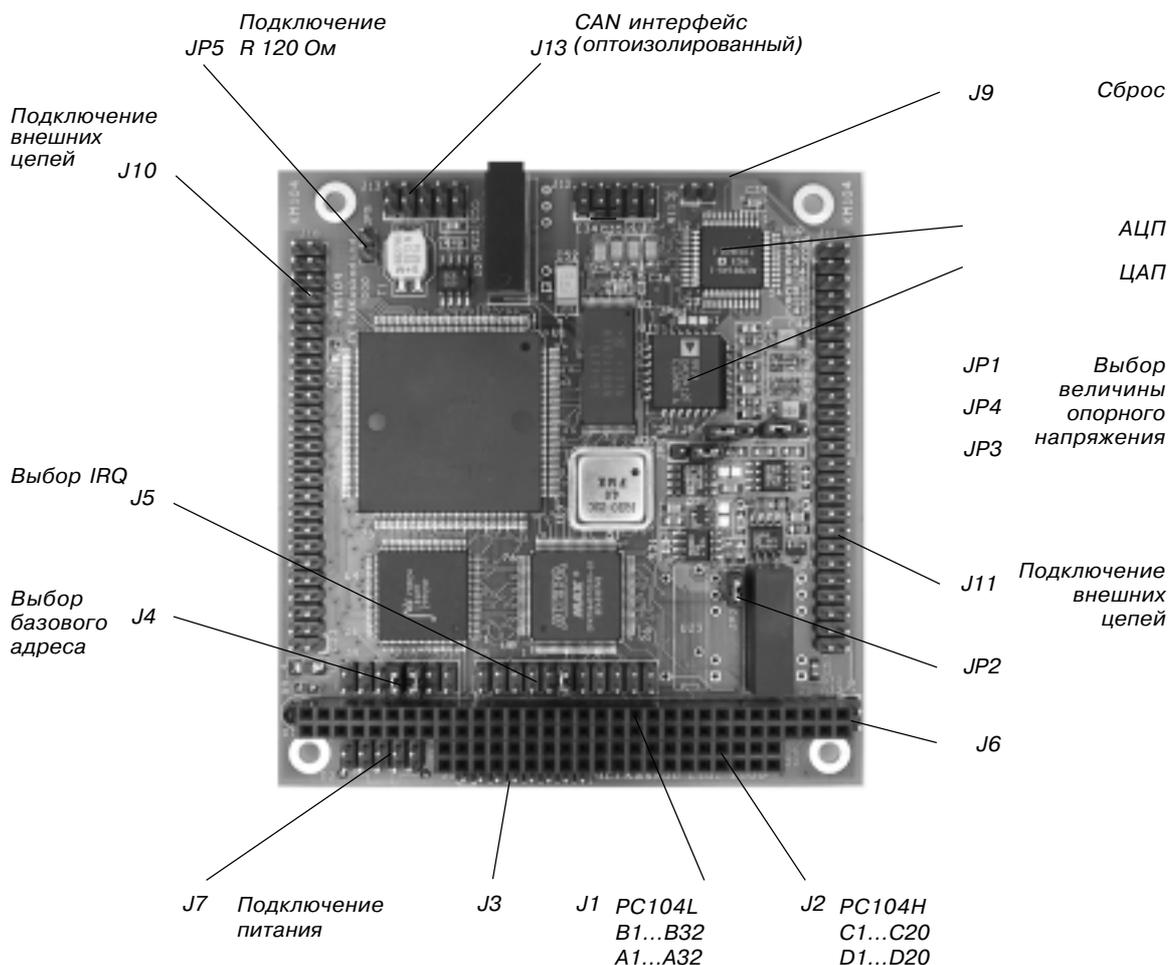
Номер контакта	Сигнал	Номер контакта	Сигнал
1	GND	2	VCC
3	-12V	4	-5V
5	+12V	6	+12V
7	-5V	8	-12V
9	VCC	10	GND

GND	–	Цифровая земля (общий провод).
+12V	–	Напряжение питания дополнительных плат.
-12V	–	Напряжение питания дополнительных плат.
-5V	–	Напряжение питания дополнительных плат.
VCC	–	Напряжение питания контроллера.

Контакты VCC, GND, +12V, -12V, -5V соединены с одноименными контактами разъемов PC104 (см.разъем J1, J2) и разъемов J10 и J11.

20. Внешние разъемы и переключатели

Расположение и назначение разъемов и переключателей на плате модуля КМ104 представлено на рисунке.



J4, J5, J7, J8, J10, J11, J13 – разъемы IDE типа. Первый контакт имеет квадратную форму печатной площадки.

Пример нумерации:



Разъем J1. PC104L

Номер контакта	Название контакта	Сигнал	Номер контакта	Название контакта	Сигнал
A1	IOCHECK	nc	B1	GND	GND
A2	SD7	SD7	B2	RESDRV	BRES
A3	SD6	SD6	B3	+5 V	+5V(VCC)
A4	SD5	SD5	B4	IRQ9	nc
A5	SD4	SD4	B5	-5 V	-5 V
A6	SD3	SD3	B6	DRQ2	nc
A7	SD2	SD2	B7	-12 V	-12 V
A8	SD1	SD1	B8	SRDY	nc
A9	SD0	SD0	B9	+12 V	+12 V
A10	IOCHRDY	IOCHRDY	B10	KEY(2)	GND
A11	AEN	AEN	B11	SMEMW	nc
A12	SA19	nc	B12	SMEMR	nc
A13	SA18	nc	B13	IOW	IOW
A14	SA17	nc	B14	IOR	IOR
A15	SA16	nc	B15	DACK3	nc
A16	SA15	nc	B16	DRQ3	nc
A17	SA14	nc	B17	DACK1	nc
A18	SA13	nc	B18	DRQ1	nc
A19	SA12	nc	B19	REFRESH	nc
A20	SA11	nc	B20	CLK	BCLK
A21	SA10	nc	B21	IRQ7	IRQ7
A22	SA9	SA9	B22	IRQ6	IRQ6
A23	SA8	SA8	B23	IRQ5	IRQ5
A24	SA7	SA7	B24	IRQ4	IRQ4
A25	SA6	SA6	B25	IRQ3	IRQ3
A26	SA5	SA5	B26	DACK2	nc
A27	SA4	SA4	B27	T/C	T/C
A28	SA3	SA3	B28	BALE	nc
A29	SA2	SA2	B29	+5v	VCC
A30	SA1	SA1	B30	OSC	nc
A31	SA0	nc	B31	GND	GND
A32	GND	GND	B32	GND	GND

Примечание:

nc	-	Контакт свободный
GND	-	Цифровая земля (общий провод).
12v	-	Напряжение питания +12 В
-12v	-	Напряжение питания минус 12 В
-5v	-	Напряжение питания минус 5 В
BRES	-	Сигнал системного сброса
IOW	-	Сигнал записи портовых устройств
IOR	-	Сигнал чтения портовых устройств
BCLK	-	Сигнал тактирования шины
IOCHRDY	-	Сигнал готовности устройства. Позволяет медленным устройствам удлинять циклы системной шины
AEN	-	Сигнал разрешения адреса
SAx	-	Сигнал адреса x, где x=1-9
SDy	-	Сигнал данных y, где y=0-7
IRQz	-	Прерывание z, где z=3-7
T/C	-	Terminal count

Разъем J2.

Номер контакта	Название контакта	Сигнал	Номер контакта	Название контакта	Сигнал
C1	GND	GND	D1	GND	GND
C2	-SBHE	nc	D2	-MEMCS16	nc
C3	LA23	nc	D3	-IOCS16	-IOCS16
C4	LA22	nc	D4	IRQ10	IRQ10
C5	LA21	nc	D5	IRQ11	IRQ11
C6	LA20	nc	D6	IRQ12	IRQ12
C7	LA19	nc	D7	IRQ15	IRQ15
C8	LA18	nc	D8	IRQ14	IRQ14
C9	LA17	nc	D9	-DACK0	nc
C10	-MEMR	nc	D10	DREQ0	nc
C11	-MEMW	nc	D11	-DACK5	DACK5
C12	SD8	SD8	D12	DREQ5	DREQ5
C13	SD9	SD9	D13	-DACK6	DACK6
C14	SD10	SD10	D14	DREQ6	DREQ6
C15	SD11	SD11	D15	-DACK7	DACK7
C16	SD12	SD12	D16	DREQ7	DREQ7
C17	SD13	SD13	D17	+5V	VCC
C18	SD14	SD14	D18	-MASTER	nc
C19	SD15	SD15	D19	GND	GND
C20	KEY(2)	GND	D20	GND	GND

Примечание:

- GND – Цифровая земля (общий провод)
- SD8...SD15 – Аналоговый вход (номер канала последовательного АЦП)
- IOCS16 – Ввод/вывод сигнал выбора устройства 16
- IRQz – Прерывание z, где z=10-15
- DACK5(6, 7) – Подтверждение DMA5 (6, 7)
- DREQ5(6, 7) – Запрос DMA5 (6, 7)

Разъем J4.

Выбор базового адреса.
Смотри раздел «Выбор базового адреса».

Разъем J5.

Установка векторов прерывания.
Смотри раздел «Установка векторов прерывания».

Разъем J7.

Предназначен для подключения напряжений питания.

Номер контакта	Сигнал	Номер контакта	Сигнал
1	GND	2	VCC
3	-12V	4	-5V
5	+12V	6	+12V
7	-5V	8	-12V
9	VCC	10	GND

- GND – Цифровая земля (общий провод)
- +12V – Напряжение питания дополнительных плат
- 12V – Напряжение питания дополнительных плат
- 5V – Напряжение питания дополнительных плат
- VCC – Напряжение питания контроллера

Контакты VCC, GND, +12V, -12V, -5V соединены с одноименными контактами разъемов PC104 (см.разъем J1, J2) и разъемов J10 и J11.

Разъем J8.

Технологический.

Разъем J9.

Разъем предназначен для подключения кнопки сброса к модулю (при необходимости). Сброс производится замыканием контактов разъема.

Номер контакта	Сигнал
1	Вход сброса
2	GND (общий)

Разъем J10.

Номер контакта	Название контакта	Альтернативная функция	Номер контакта	Название контакта	Альтернат. функция
1	P3-15		2	P3-13	
3	RXD0 (не испол.)	RS232 прием	4	TXD0 (не испол.)	RS232 перед
5	P3-9	MTSR	6	P3-8	MRST
7	P3-7	T2IN	8	P3-6	T3IN
9	P3-5	T4IN	10	P3-4	T3EUD
11	P3-3	T3OUT	12	P3-2	
13	P3-1	T6OUT	14	P3-0	T0IN
15	P2-10	SPWM10	16	P2-11	SPWM11
17	P2-8	SPWM8	18	P2-9	SPWM9
19	P2-6	SPWM6	20	P2-7	SPWM7
21	P2-4	SPWM4	22	P2-5	SPWM5
23	P2-2	SPWM2	24	P2-3	SPWM3
25	P2-0	SPWM0	26	P2-1	SPWM1
27	P4-4		28	P4-7	
29	P5-14	T3EUD	30	P5-15	T2EUD
31	P5-12	T6IN	32	P5-13	T5IN
33	P5-10	T6EUD	34	P5-11	T5EUD
35	5VOP		36	aGND	
37	P5-8		38	P5-9	
39	P5-6		40	P5-7	
41	P5-4		42	P5-5	
43	P5-2		44	P5-3	
45	P5-0		46	P5-1	
47	+12V		48	VCC	
49	-12V		50	GND	

Примечание:

GND	–	Цифровая земля (общий провод)
aGND	–	Аналоговая земля АЦП
5VOP	–	опорное напряжение внутреннего АЦП (выходной сигнал)
+12V	–	Напряжение питания дополнительных плат
-12V	–	Напряжение питания дополнительных плат
VCC	–	Напряжение питания модуля
P3-15, P3-13, P3-9...P3-0	–	Порт P3 модуля
P2-0...P2-11	–	Порт P2 модуля
P5-0...P5-15	–	Порт P5 модуля
P4-4, P4-7	–	Порт P4 модуля

Разъем J11.

Номер контакта	Название контакта	Альтернативная функция	Номер контакта	Название контакта	Альтернат. функция
1	aGND		2	ADCREP	
3	INA1		4	INB1	
5	INA2		6	INB2	
7	INA3		8	INB3	
9	INA4		10	INB4	
11	INA5		12	INB5	
13	INA6		14	INB6	
15	INA7		16	INB7	
17	INA8		18	INB8	
19	VoutA		20	aGND	
21	VoutB		22	aGND	
23	VoutC		24	aGND	
25	VoutD		26	aGND	
27	NMI не использ		28	P6-5	
29	P6-6		30	P6-7	
31	P8-0	SPWM ch16	32	P8-1	SPWM ch16
33	P8-2	SPWM ch18	34	P8-3	SPWM ch19
35	P8-4	SPWM ch20	36	P8-5	SPWM ch21
37	P8-6	SPWM ch22	38	P8-7	SPWM ch23
39	P7-0	FPWM ch0	40	P7-1	FPWM ch1
41	P7-2	FPWM ch2	42	P7-3	FPWM ch3
43	P7-4	SPWM ch28	44	P7-5	SPWM ch29
45	P7-6	SPWM ch30	46	P7-7	SPWM ch31
47	+12V		48	VCC	
49	-12V		50	GND	

Примечание:

- GND – Цифровая земля (общий провод)
- aGND – Аналоговая земля АЦП
- INA1...INA8 – Аналоговый вход А (номер канала АЦП)
- INB1...INB8 – Аналоговый вход В (номер канала АЦП)
- VoutA, ...B, ...C, ...D – Выходные сигналы ЦАП: канал1, канал2, канал3, канал 4
- ADCREP – опорное напряжение 12-разрядного АЦП (входной или выходной сигнал)
- +12V – Напряжение питания дополнительных плат
- 12V – Напряжение питания дополнительных плат
- VCC – Напряжение питания модуля
- P6-5 - P6-7 – Порт P6 модуля
- P7-0 - P7-7 – Порт P7 модуля
- P8-0 - P8-7 – Порт P8 модуля
- NMI – Немаскируемое прерывание (не используется)

Разъем J12.

Технологический

Разъем J13.

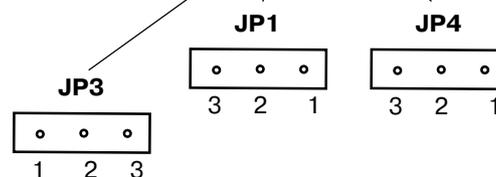
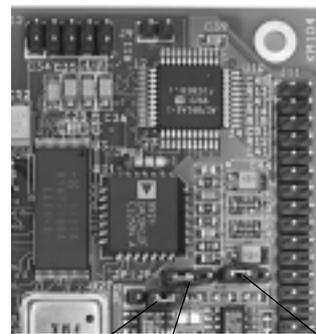
Разъем J13 предназначен для подключения контроллера к CAN сети.

Номер контакта	Сигнал
1	не используется
2	не используется
3	BUS.L
4	BUS.H
5	GND_CAN
6, 7, 8, 9, 10	не используется

Переключатели JP1, JP3, JP4.

Переключатели JP1, JP3, JP4 предназначены для установки диапазона выходного напряжения ЦАП.

JP3	JP1	JP4	диапазон выходного напряжения ЦАП.
1-2	1-2	1-2	-10 В – +10 В
1-2	1-2	2-3	0 В – +10 В
1-2	2-3	1-2	-10 В – 0 В
1-2	2-3	2-3	не используется (0)
2-3	1-2	1-2	-5 В – +5 В
2-3	1-2	2-3	0 В – +5 В
2-3	2-3	1-2	-5 В – 0 В
2-3	2-3	2-3	не используется (0)

**Разъем JP5.**

Перемычка JP5 предназначена для подключения нагрузочного резистора 120 Ом к CAN интерфейсу.

Перемычка установлена	–	резистор подключен
Перемычка не установлена	–	резистор не подключен

21. Комплект поставки

- Модуль KM104
- Библиотека для программирования модуля (СИ)
- Руководство пользователя
- Ответные части разъемов (KIT) (по заказу)
- Корпус, источник питания (по заказу)

22. Варианты исполнения модуля

Модуль поставляется в следующих модификациях:

- | | | |
|---------------|---|---|
| 1. KM104-ADDA | – | полный вариант,
диапазон рабочих температур: от 0°C до +70°C. |
| 2. KM104-ADXX | – | без 4 каналов ЦАП,
диапазон рабочих температур: от 0°C до +70°C. |
| 3. KM104-XXAD | – | без 8 каналов АЦП-12бит,
диапазон рабочих температур: от 0°C до +70°C. |
| 4. KM104-XXXX | – | без 4 каналов ЦАП и
без 8 каналов АЦП-12бит
диапазон рабочих температур: от 0°C до +70°C. |
| Суффикс -EXT | – | диапазон рабочих температур: от -40°C до +85°C по всем контроллерам. |
| Суффикс -KIT | – | все ответные части разъемов (PC104 – заказывается отдельно). |

Разъёмы:

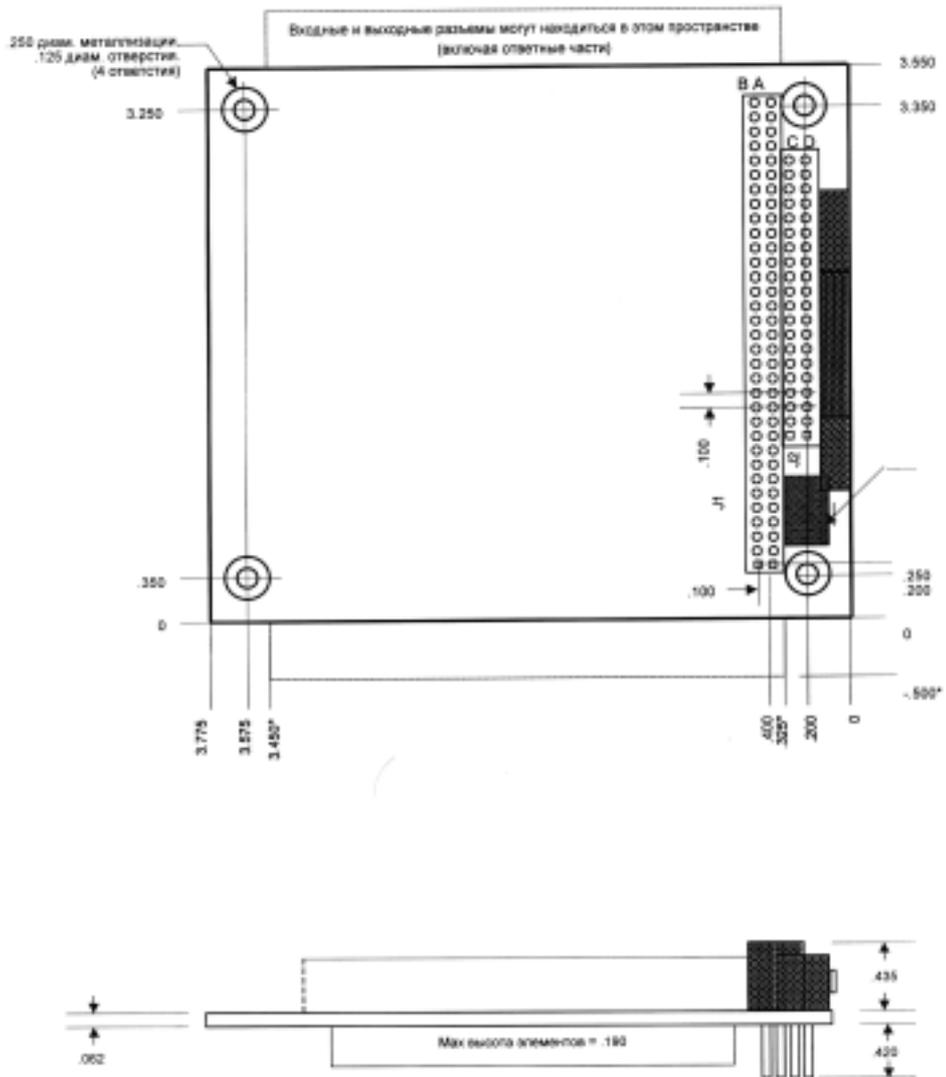
Разъёмы J7, J10, J11, J13 прямые или угловые, или прямые вниз (по требованию заказчика).

Замечание: При заказе модуля необходимо соблюдать обозначения изделий данные выше. Расположение выходных разъемов оговаривается отдельно (прямые, угловые, прямые вниз).

23. Габаритные и установочные размеры

Габариты и установочные размеры платы показаны на рисунках.

Габариты платы представлены на рис. 23, 24.



Размеры приведены в дюймах. 1.000 дюйм = 25,4 миллиметра.

24. Приложения
