

DSPA820

Модуль аналогового ввода

Версия 4.0

Руководство пользователя

АО КАСКОД

1999

Санкт-Петербург

АО КАСКОД

196625, Санкт-Петербург, Павловск, Филътровское шоссе, 3

тел.: (812) 476-0795, (812) 466-5784, факс: (812) 465-3519

E-mail : cascod@online.ru
 kaskod@spb.cityline.ru

<http://www.kaskod.ru>

Содержание	Страница
1. Введение	4
2. Технические характеристики	5
3. Структура модуля	6
– Входной усилитель	9
– Смещение	9
– Селектор смещения	10
– Источник опорного напряжения	11
– Селектор опорного напряжения	12
– АЦП	12
– FIFO	9
– Программируемая логическая матрица	9
– Буфер с открытым эмиттером	10
– Вход триггера Шмидта	11
– Двухнаправленный буфер	12
– DC/DC конвертор	12
4. Описание разъемов и джамперов	13
5. Регистры управления	15
Приложения:	15
А. Структурная схема	15
В. Схема ПЛМ	15

1.

Введение

Модуль **DSPA820** обеспечивает двухканальное аналого-цифровое преобразование с разрешением 8 бит. DSPA820 подключается к 32-разрядной шине модуля EDSP32.

В состав модуля DSPA820 входит программируемая логическая матрица обеспечивающая управление АЦП, FIFO и внешними логическими выходами.

Конструктивно модуль выполнен в формате PC104. Через вертикальный “стековый” разъем модуль DSPA820 подключается к плате EDSP32

Внешний вид модуля DSPA820 представлен на рис. 1.

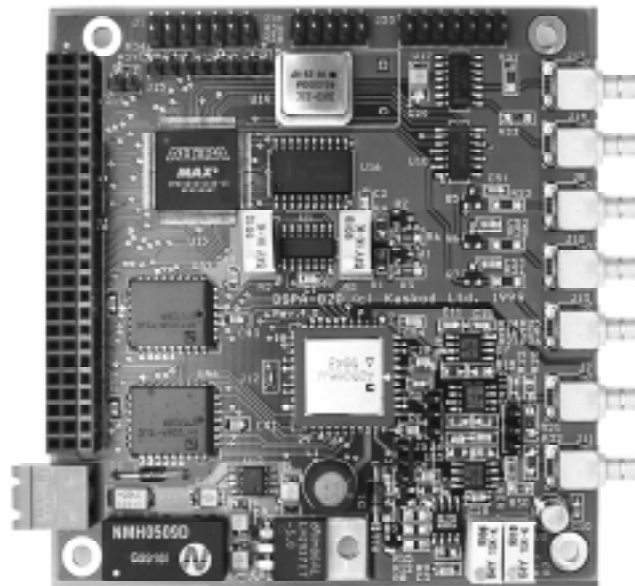


Рис. 1.
Внешний вид
модуля DSPA820

Технические характеристики 2.

– Число каналов преобразования	2
– Разрядность преобразования , бит	8
– Скорость преобразования , MSPS	50
– Частота семплирования , MHz	10
– Аналоговые входы:	
входной уровень, В	- 3... +3 или 0...+3
входное сопротивление , Ом	75
– Объем FIFO в каждом канале	4096x8
– Число выходов с открытым эмиттером	3
Сопротивление нагрузки, мин., Ом	50
– Число цифровых входов (Rvx=75 Ом)	2
– Число цифровых входов / выходов	8
– Напряжение питание, В	5 ± 5%
– Типовая потребляемая мощность, мВт	700
– Размер платы	90 x 96 mm (PC/104)
– Рабочий диапазон температура	0°C ... +70°C
– Температура хранения	-65°C ... +85°C

3.

Структура модуля

Структура модуля приведена в приложении А.

Модуль состоит из:

- Двухканального 8-ми разрядного АЦП. На выход каждого канала установлен буферный накопитель типа FIFO размером 4096x8 каждый, который обеспечивает хранение семплов (выборки) входного сигнала.
- Схемы управления построенной на программируемой логической матрице, которая выдает сигналы начала преобразования АЦП, обслуживает флаги FIFO, формирует шесть сигналов на выход буферов с открытым эмиттером, обрабатывает два входных сигнала с триггера Шмидта, осуществляет тактирование от генератора 40 МГц. Обслуживает сигналы управления модуля EDSP32 (см. Описание разъема J3), а также транслирует 8 младших разрядов шины данных модуля EDSP32 (ED0-ED7) на двунаправленный буфер.
- Источника биполярного опорного напряжения для АЦП.
- Двух канального входного буфера.

Уровень входного сигнала, с помощью усилителя, приводится к необходимому диапазону входного напряжения АЦП. Аналого-цифровое преобразование осуществляется после запуска АЦП (старт А и старт В). Сигналы записи в накопителе FIFO формируются из сигналов запуска с необходимой задержкой для обеспечения правильной работы FIFO.

Входной усилитель представляет собой широкополосный каскад, который построен на операционном усилителе включенным по инвертирующей схеме, с коэффициентом усиления 0.33. На инвертирующий вход усилителя подается смещение от схемы сдвига уровня переключаемой джамперами.

Смещение подается на оба канала через инвертор от внутреннего опорного напряжения АЦП (+Vint) или подключаются к нулевому потенциалу.

Селектор смещения, представляет собой коммутатор который с помощью джампера переключает резистор к выходу инвертора смещения или к "земле".

Источник опорного напряжения представляет собой двуполярный источник напряжения $\pm 1 V$ подстраиваемый двумя независимыми потенциометрами.

Селектор опорного напряжения позволяет с помощью джамперов установить опорное напряжение от биполярного источника напряжения или от внутреннего источника опорного напряжения АЦП.

АЦП представляет собой интегральный двухканальный преобразователь аналогового напряжения в 8-ми разрядный двоичный код с частотой выборки 10 МГц. Старт преобразования каналов АЦП осуществляется с помощью сигналов "Старт А" и "Старт В" поступающих с ПЛМ.

Накопители FIFO являются асинхронными устройствами памяти (первым вошел - первым вышел) с третьим состоянием на выходе и с независимыми сигналами записи и чтения. Полный объем одного FIFO 4096 x 8 бит (9-тый бит не используется).

Программируемая логическая матрица (ПЛМ) типа EPM7064 (Altera) может многократно программироваться через JTAG интерфейс, с помощью программного пакета MAXPlusII.

Интерфейс с EDSP32. Представляет собой 16-разрядную шину которая подключается к 16-ти младшим разрядам 32-разрядной шины данных модуля EDSP32. Внешняя 32 разрядная шина EDSP32 находится в адресном пространстве IOSTRB процессора TMS320C32.

Буфер с открытым эмиттером. Представляет собой каскад эмиттерного повторителя, к выходу которого подключен резистор сопротивлением 10 Ом. Максимальный допустимый ток транзисторов 500 ма . Для приема сигнала необходимо на приемном конце необходимо использовать нагрузочный резистор сопротивлением 75 Ом и входной каскад типа триггера Шмидта.

Вход триггера Шмидта имеет входное сопротивление 75 Ом. В качестве входных каскадов используются скоростные инверторы 74ACT14 совместимые по уровню с КМОП/TTL.

Двунаправленный буфер. 8-ми разрядный буфер который установлен между внешним разъемом J1 и ПЛМ.

DC/DC конвертор предназначен для питания аналоговых цепей платы напряжением +5В и -5В.

4. Описание разъемов и джамперов

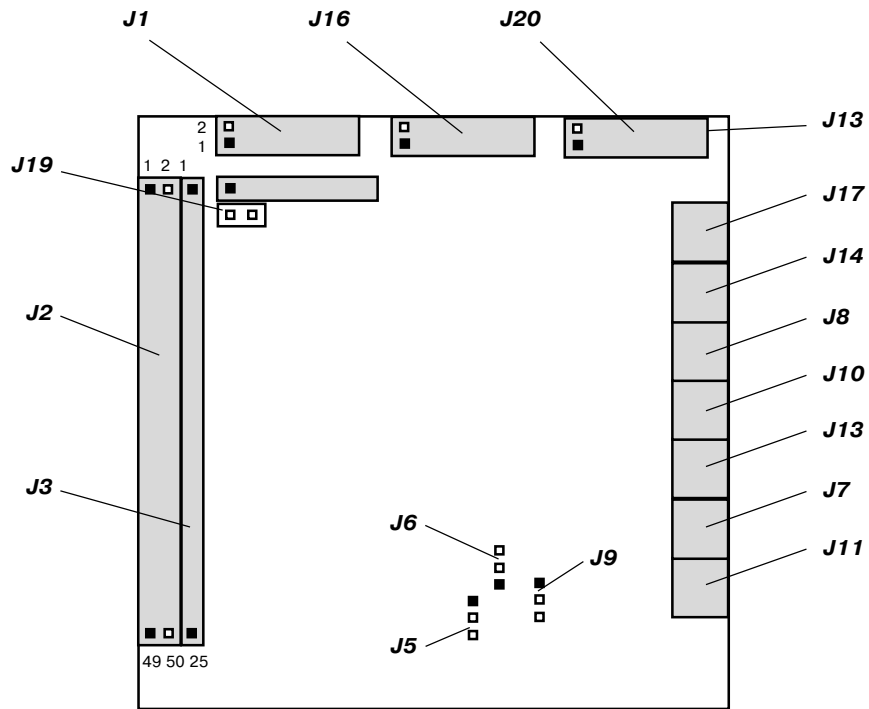
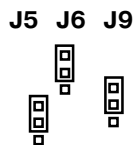


Рис. 2. Расположение разъемов и джамперов

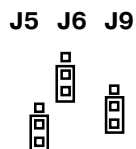
J5, J6, J9

А – Биполярный сигнал на входе усилителей каналов J11 и J7 (± 3).

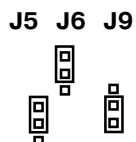
Использование внутреннего опорного напряжения АЦП



Использование биполярного источника опорного напряжения



Б – Однополярный сигнал на входе усилителей каналов J1 и J2 ($0 + 3$).



J19 – адресный селектор A16 – выбор базового адреса :

Замкнут	–	820000h
Разомкнут	–	810000h

J2 – внешняя 16-разрядная шина (интерфейс с EDSP32)

Таблица 1

N Контакта	Обозначение	Описание
1,2	GND	Общий
3	EINT0\	Внешнее прерывание 0(O)
4	EINT1\	Внешнее прерывание 1(O)
5	EINT2\	Внешнее прерывание 2(O) 29
6	EINT3\	Внешнее прерывание 3(O) 27
7-10	EA0-EA3	Адресная шина (I) 32,34-36
11-22	-	-
23	EA16	Адресная шина (I)
24-26	-	-
27	XF0	Флаг XF0 (i/o) 62
28	TCLK0	Таймер TCLK0 (i/o) 64
29	CNTRL0	Строб IOSTRB\ (I) 38
30	CNTRL1	Чтение/запись R/W (I) 31
31	CNTRL2	Сброс ETRES\ (I)40
32,33	ED0,ED1	Биты данных (0/z) 2,4
34,35	ED3,ED2	Биты данных (0/z) 6,5
36,37	ED5,ED4	Биты данных (0/z) 8,7
38,39	ED7,ED6	Биты данных (0/z) 10,9
40,41	ED9,ED8	Биты данных (0/z)
42,43	ED11,ED10	Биты данных (0/z)
44,45	ED13,ED12	Биты данных (0/z)
46,47	ED15,ED14	Биты данных (0/z)
48	RDY\	Готовность (O) 39
49	+5V	Питание +5в.
50	GND	Общий

J1 – Тестовый

Таблица 2

Контакт	Обозначение	Описание
1,3,5,7,9,11,13	GND	Общий
2	EIINT2	Прерывания
4	EIINT3	Прерывания
6	EIINT1	Прерывания
8	XF0	Флаги
10	XF1	Флаги
12	TCLK0	Таймер TCLK0
14	TCLK1	Таймер TCLK1

J2 – Дополнение к J3

Таблица 3

Контакт	Обозначение	Описание
1	GND	Общий
2	EIACK	Подтверждение
3-20	-	N.C
21	XF1	Флаг
22	TCLK1	Таймер TCLK1 (i/0)
23-24	-	N.C
25	+5V	Питание +5в

J6 – 8-разрядный вход/выход

Таблица 4

Контакт	Обозначение	Описание
1	D0	Входы / выходы
2	D1	Входы / выходы
3	D2	Входы / выходы
4	D3	Входы / выходы
5	D4	Входы / выходы
6	D5	Входы / выходы
7	D6	Входы / выходы
8	D7	Входы / выходы
9,10	GND	

J8, J10, J13 – Выходы открытый эмиттер

Таблица 5

Контакт	Обозначение	Описание
J8	Выход 3 частота семпл.	Выход ОЭ
J10	Выход 4 CLK	Выход ОЭ
J13	Выход 5 40Mhz	Выход ОЭ

J14, J17 – Цифровые выходы

Таблица 6

Контакт	Обозначение	Описание
J14	Вход ТШ. Внешн. CLK	RVX=75 Ом
J17	Вход ТШ. Внешний старт +5В	RVX=75 Ом

J20 – Цифровые выходы

Таблица 7

Контакт	Обозначение	Описание
1	Выход 3 (дубл J8)	
3	Выход 4 (дубл J10)	
5	Выход 5 (дубл J13)	
2,4,6,8,10	GND	
5	Выход 0	D0
7	Выход 1	D1
9	Выход 2	D2

J4 – Внешнее питание

Таблица 8

Контакт	Обозначение	Описание
1	+5В	
2	AGND	-“-

5.

Регистры управления

Схема управления запрограммированная в EPM71064 дана в приложении В

Все регистры находятся в адресном пространстве IOSTRB (810000h-82FFFFh)

:

В зависимости от положения джампера J19 адреса со стороны EDSP32 делятся на две оласти:

Замкнут – 82xxx0h-82xxx3h
Разомкнут – 81xxx0h-81xxx3h

Это дает возможность использования второй платы DSPA820 на 32 битовой шине EDSP32.

820000h чтение FIFO

820001h запись в управляющий регистр

d0 0-старт clk , 1-стоп clk

d1 – RS FIFO reset

d2 – RT/FI FIFO retransmit

<i>mode</i>	<i>Rs</i>	<i>RT/FL</i>	<i>XI</i>	<i>RD POINT</i>	<i>WR POINT</i>	<i>EF</i>	<i>FF</i>	<i>HF</i>
reset	0	0	0	Zero	Zero	0	1	1
Retransmit	1	0	0	Zero	unchanged	X	X	X
Read/write	1	1	0	increment	increment	X	X	X
						EINT1	EINT3	EINT2

d4 -d3 селектор clk

00 – in0 40Mhz/4

01 – in1 J14 /4

10 – tclk0 / 4

11 – tclk1 / 4

820001h запись d0-d3 (регистр) на out0-out2 (выход 0 –выход2 J20)

820002h запись / чтение в 8 битовый порт J16

820003h запись

d0 0 – запрет EINT1-EINT3

1 – разрешение EINT1-EINT3

Пример:

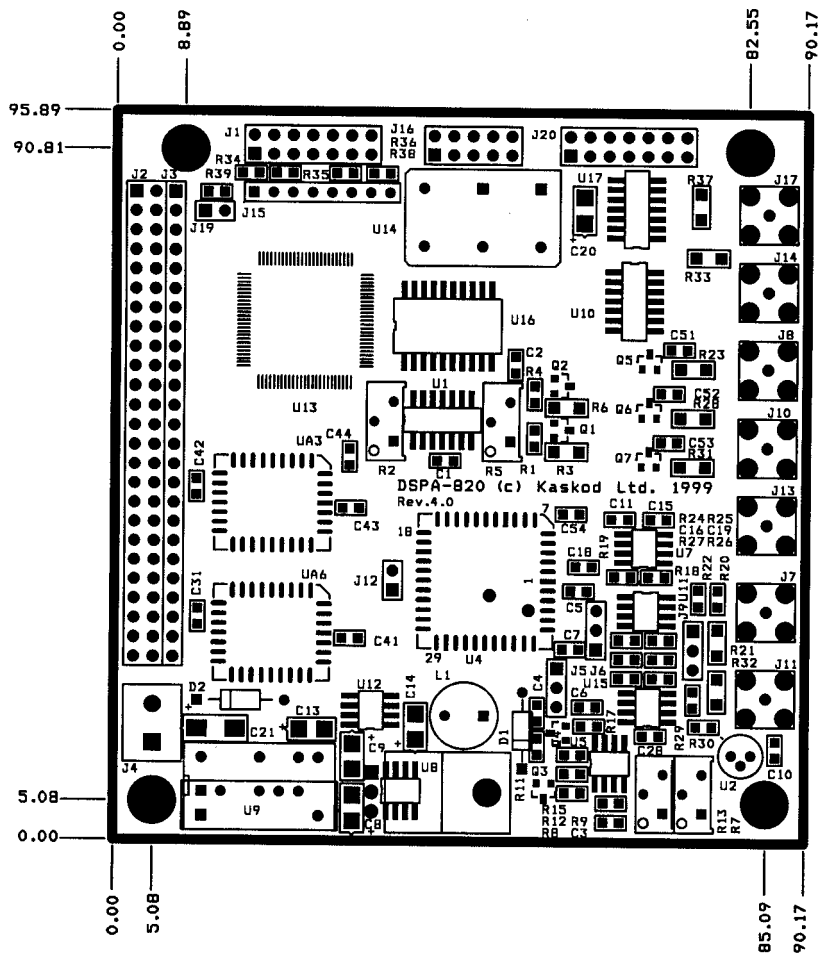
```

LDI @BUFF,AR1
LDI AR0,82H
LSH 16,AR0
LDI 0,R0
STI R0,*+AR0(1)           \ старт Clk сброс FIFO Clk=40MHZ/4=10Mhz
LDI 6,R1
STI R1,*+AR0(1)         \ запись чтение FIFO
....
LOOP: TSTB 4,IF
      BZ LOOP
      LDI *AR0,R2
      RPTS 2046
      LDI *AR0, R2
      \ чтение FIFO и запись в буфер памяти
      I I STI R2,*++AR1
      STI R2,*++AR1
      BU LOOP
    
```

Приложения

DSPA-820

Rev.4.0



Dimensions in mm.